

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application )

Applicant: Morita et al. )

Serial No. )

Filed: January 31, 2001 )

For: DISPLAY DEVICE AND  
DRIVING METHOD OF  
THE SAME )

Art Unit: )

*I hereby certify that this paper is being deposited  
with the United States Postal Service as EXPRESS  
mail in an envelope addressed to: Assistant  
Commissioner for Patents, Washington, D.C. 20231,  
on January 31, 2001.*

Express Label No.: EL 769181289 USSignature: *J. D. Davis*CLAIM FOR PRIORITY

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis  
of the foreign application identified below:

Japanese Patent Application No. 2000-211661, filed July 12, 2000.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By: *Patrick G. Burns*

Patrick G. Burns

Reg. No. 29,367

January 31, 2001  
300 South Wacker Drive  
Suite 2500  
Chicago, IL 60606  
(312) 360-0080  
Customer Number: 24978

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月12日

出 願 番 号

Application Number:

特願2000-211661

出 願 人

Applicant (s):

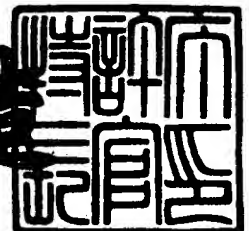
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年11月17日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0040098

【提出日】 平成12年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明の名称】 表示装置及びその駆動方法

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 森田 敬三

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 中林 謙一

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100090273

    【弁理士】

    【氏名又は名称】 國分 孝悦

    【電話番号】 03-3590-8901

【手数料の表示】

    【予納台帳番号】 035493

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】            要約書    1

【包括委任状番号】    9908504

【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 表示装置及びその駆動方法

【特許請求の範囲】

【請求項 1】 複数の走査線を有する表示部と、

前記表示部の走査線に走査信号を供給するための出力線を有する走査ドライバと、

前記走査ドライバから供給される前記走査信号の良否を判定し、該判定結果を出力する判定手段と、

前記判定手段により、不良と判定された走査信号を供給する出力線と前記表示部の走査線との間の接続を切断するスイッチング手段とを備えたことを特徴とする表示装置。

【請求項 2】 前記判定手段は、前記走査ドライバの出力線のうちの一又は複数の出力線の電位がグランド電位に固定されているか否かを判定し、

前記スイッチング手段は、前記判定手段により、前記走査ドライバの出力線のうちの一又は複数の出力線の電位がグランド電位に固定されていると判定されたときには、該固定されている電位の出力線と前記表示部の走査線との間の接続を切断することを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記判定手段は、前記走査ドライバの出力線のうちの一又は複数の出力線の電位が電源電位に固定されているか否かを判定し、

前記スイッチング手段は、前記判定手段により、前記走査ドライバの出力線のうちの一又は複数の出力線の電位が電源電位に固定されていると判定されたときには、該固定されている電位の出力線と前記表示部の走査線との間の接続を切断することを特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記判定手段は、前記走査ドライバの出力線のうちの一又は複数の出力線が開放されているか否かを判定し、

前記スイッチング手段は、前記判定手段により、前記走査ドライバの出力線のうちの一又は複数の出力線が開放されていると判定されたときには、該開放されている電位の出力線と前記表示部の走査線との間の接続を切断することを特徴とする請求項 1 記載の表示装置。

【請求項 5】 複数の走査線を有する表示部と、前記表示部の走査線に走査信号を供給するための出力線を有する走査ドライバとを備えた表示装置の駆動方法であって、

(a) 前記走査ドライバから供給される前記走査信号の良否を判定するステップと、

(b) 前記走査信号が不良と判定された走査信号を供給する出力線と前記表示部の走査線との間の接続を切断するステップと  
を備えたことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、表示装置及びその駆動方法に関し、特に走査ドライバから供給される走査信号に応じて表示を行う表示装置及びその駆動方法に関する。

【 0 0 0 2 】

【従来の技術】

最近の液晶表示装置の研究開発においては、低コスト化のための技術開発競争が熾烈を極めている。中でも、低温プロセスでポリシリコン薄膜トランジスタを形成する技術は、安価なガラス基板上に、表示領域だけでなく、周辺回路（例えばドライバ）をも形成することを可能とする。このため、従来のようなドライバ用 IC の実装費用が削減され、大幅なコスト削減を期待できることから注目を浴びている。これまでにポリシリコン薄膜トランジスタをガラス基板上に形成して大型でかつ高精細の液晶表示装置を作成する試みがなされてきている。

【 0 0 0 3 】

図 2 2 は、第 1 の従来例による液晶表示装置の構成を示す。表示領域 1 0 0 は、二次元に配列された薄膜トランジスタを有し、各薄膜トランジスタが各画素の表示を制御する。第 1 の走査ドライバ 1 0 1 a は表示領域 1 0 0 の左に設けられ、第 2 の走査ドライバ 1 0 1 b は表示領域 1 0 0 の右に設けられる。第 1 の走査ドライバ 1 0 1 a は n 本の出力線 G L 1 ~ G L n を介して、第 2 の走査ドライバ 1 0 1 b は n 本の出力線 G R 1 ~ G R n を介して、それぞれ表示領域 1 0 0 の走

査線の両端に同一の走査信号を供給する。第1のデータドライバ102a及び第2のデータドライバ102bは、表示領域100の上下に設けられ、データ信号を表示領域100に供給する。

#### 【0004】

断線ポイント103は、第1の走査ドライバ101aの出力線GL3と第2の走査ドライバ101bの出力線GR3とを接続する表示領域100内の走査線上で断線されたポイントである。この場合、表示領域103aには、第1の走査ドライバ101aから走査信号が供給されるので、表示領域103aでの表示が可能になる。一方、表示領域103bには、第2の走査ドライバ101bから走査信号が供給されるので、表示領域103bでの表示が可能になる。すなわち、断線ポイント103で断線が生じたとしても、表示領域103a及び103bの両方で表示が可能になる。この点に、第1及び第2の2つの走査ドライバ101a、101bを設ける意味がある。

#### 【0005】

近年、液晶表示装置の高解像度化が進み、走査ドライバ101a及び101bの出力線GL1～GLn及びGR1～GRnの数が増加している。その結果、走査ドライバ101a及び101b内に製造プロセス上の欠陥が発生する確率が高くなっている。

#### 【0006】

図23に示すように、例えば、製造プロセス上の欠陥等により、走査ドライバ101b内の短絡ポイント104で出力線GR3が電源線又はグランド線等に短絡されてしまうことがある。この場合、走査ドライバ101b内の出力線GR3は電源電位やグランド電位等に固定されてしまい、正常な走査信号が走査ドライバ101bから表示領域100に供給されなくなってしまう。その結果、上記の出力線GR3に対応する表示領域100内の水平ラインの右側の領域は、常に白又は黒の表示になってしまい、正常な表示が行われなくなってしまう。

#### 【0007】

このように、表示領域100が無欠陥であったとしても、走査ドライバ101a又は101bに欠陥が生じてしまえば、これらが同一ガラス基板上に形成され

るために、液晶表示装置全体が不良品になってしまう。そこで、走査ドライバ 1 0 1 a, 1 0 1 b の欠陥を修復するための技術が提案されている。次に、その技術を説明する。

#### 【 0 0 0 8 】

図 2 4 は、特開平 6 - 6 7 2 0 0 号公報に示される第 2 の従来例による液晶表示装置の構成を示す。第 2 の従来例による液晶表示装置は、第 1 の従来例による液晶表示装置（図 2 2 及び図 2 3）に対して、 $n$  チャンネル MOS トランジスタ 1 1 1 a 及び 1 1 1 b を付加したものである。トランジスタ 1 1 1 a のゲートには、制御信号用端子 CL を介して制御信号が供給される。トランジスタ 1 1 1 a のソース及びドレインには、第 1 の走査ドライバ 1 0 1 a の出力線 GL 1 ~ GL  $n$  及び表示領域 1 0 0 の走査線が接続される。同様に、トランジスタ 1 1 1 b のゲートには、制御信号用端子 CR を介して制御信号が供給される。トランジスタ 1 1 1 b のソース及びドレインには、第 2 の走査ドライバ 1 0 1 b の出力線 GR 1 ~ GR  $n$  及び表示領域 1 0 0 の走査線が接続される。

#### 【 0 0 0 9 】

液晶表示装置を製造した後、第 2 の走査ドライバ 1 0 1 b 内の短絡ポイント 1 1 2 で出力線 GR 2 が電源線又はグランド線等に短絡していることが検出できたとする。その場合、制御信号用端子 CL にハイレベルの電圧を印加し、制御信号用端子 CR にローレベルの電圧を印加する。

#### 【 0 0 1 0 】

その結果、 $n$  個のすべてのトランジスタ 1 1 1 a のゲートにはハイレベルが供給され、 $n$  個のトランジスタ 1 1 1 a はオンし、走査ドライバ 1 0 1 a の出力線 GL 1 ~ GL  $n$  と表示領域 1 0 0 の走査線とを接続する。表示領域 1 0 0 には、走査ドライバ 1 0 1 a から走査信号が供給される。

#### 【 0 0 1 1 】

一方、 $n$  個のすべてのトランジスタ 1 1 1 b のゲートにはローレベルが供給され、 $n$  個のトランジスタ 1 1 1 b はオフし、走査ドライバ 1 0 1 b の出力線 GR 1 ~ GR  $n$  と表示領域 1 0 0 の走査線との間の接続を切断する。走査ドライバ 1 0 1 b から表示領域 1 0 0 には、走査信号が供給されない。



## 【 0 0 1 2 】

すなわち、表示領域 1 0 0 には、走査ドライバ 1 0 1 a からのみ正常な走査信号が供給され、正常な表示を行うことができる。しかし、上記の公報には、短絡ポイント 1 1 2 の検出方法が記載されていない。また、仮に、第 2 ラインに欠陥があることを表示画面上の目視により発見できたとしても、その第 2 ラインでの欠陥が第 1 の走査ドライバ 1 0 1 a 内での短絡によるものか、或いは第 2 の走査ドライバ 1 0 1 b 内での短絡によるものかを判断することができない。その判断方法が示されなければ、第 1 及び第 2 の走査ドライバ 1 0 1 a, 1 0 1 b のいずれに欠陥があるのかがわからず、制御信号用端子 C L 及び C R の電圧レベルを決定することができない。

## 【 0 0 1 3 】

また、図 2 5 に示すように、第 2 の走査ドライバ 1 0 1 b 内の短絡ポイント 1 1 3 で出力線 G R 2 の短絡が発生し、さらに表示領域 1 0 0 内の断線ポイント 1 1 4 で走査線の断線が発生することがある。この場合、短絡ポイント 1 1 3 を修復するために、上記と同様に、制御信号用端子 C L にハイレベルを供給し、制御信号用端子 C R にローレベルを供給するとする。

## 【 0 0 1 4 】

すると、表示領域 1 1 4 a には、第 1 の走査ドライバ 1 0 1 a から走査信号が供給されるが、表示領域 1 1 4 b には、走査ドライバ 1 0 1 a 及び 1 0 1 b のいずれからも走査信号が供給されなくなり、表示領域 1 1 4 b では、正常な表示を行うことができなくなってしまう。

## 【 0 0 1 5 】

また、図 2 6 に示すように、第 1 の走査ドライバ 1 0 1 a 内の短絡ポイント 1 1 5 で出力線 G L 4 の短絡が発生し、第 2 の走査ドライバ 1 0 1 b 内の短絡ポイント 1 1 6 で出力線 G R 1 の短絡が発生し、表示領域 1 0 0 内の断線ポイント 1 1 7 で走査線の断線が発生した場合を考える。

## 【 0 0 1 6 】

短絡ポイント 1 1 6 を修復するためには、制御信号用端子 C R にローレベルの電圧を印加し、制御信号用端子 C L にハイレベルの電圧を印加することが考えら

れる。しかし、その場合、トランジスタ 1 1 1 b がオフになり、表示領域 1 1 7 b に走査信号が供給されず、表示領域 1 1 7 b では正常な表示が行われぬ。また、第 1 の走査ドライバ 1 0 1 a 内の短絡ポイント 1 1 5 で出力線 G L 4 が短絡しているために、表示領域 1 0 0 の第 4 ラインの走査線には、第 2 の走査ドライバ 1 0 1 b から走査信号が供給されないのみならず、第 1 の走査ドライバ 1 0 1 a から正常な走査信号が供給されない。そのため、第 4 ラインでは正常な表示を行うことができない。

## 【 0 0 1 7 】

一方、短絡ポイント 1 1 5 を修復するためには、制御信号用端子 C L にローレベルを印加し、制御信号用端子 C R にハイレベルを印加することが考えられる。しかし、その場合、トランジスタ 1 1 1 a がオフになり、表示領域 1 1 7 a に走査信号が供給されず、表示領域 1 1 7 a では正常な表示が行われぬ。また、第 2 の走査ドライバ 1 0 1 b 内の短絡ポイント 1 1 6 で出力線 G R 1 が短絡しているために、表示領域 1 0 0 の第 1 ラインには、第 1 の走査ドライバ 1 0 1 a 及び第 2 の走査ドライバ 1 0 1 b の双方から正常な走査信号が供給されない。そのため、第 1 ラインでは正常な表示を行うことができない。

## 【 0 0 1 8 】

上記のような欠陥が発生した場合には、完全に修復することができない。また、上記の公報では、上述のように、欠陥の検出方法が示されていない。次に、欠陥の検出方法を示した公報について説明する。

## 【 0 0 1 9 】

図 2 7 は、特許第 2 9 7 3 9 6 9 号公報に示される第 3 の従来例による液晶表示装置の構成を示す。この第 3 の従来例による液晶表示装置は、第 1 の従来例による液晶表示装置（図 2 2 及び図 2 3）に対して、n チャネル MOS トランジスタ 1 2 1 a, 1 2 1 b を付加したものである。

## 【 0 0 2 0 】

n 個のトランジスタ 1 2 1 a のゲートには、第 1 の走査ドライバ 1 0 1 a の出力線 G L 1 ~ G L n が接続される。n 個のトランジスタ 1 2 1 a のソース及びドレインには、入力端子 L i n 及び出力端子 L o u t が接続される。

## 【 0 0 2 1 】

一方、 $n$ 個のトランジスタ 1 2 1 b のゲートには、第 2 の走査ドライバ 1 0 1 b の出力線  $GR_1 \sim GR_n$  が接続される。 $n$ 個のトランジスタ 1 2 1 b のソース及びドレインには、入力端子  $R_{in}$  及び出力端子  $R_{out}$  が接続される。

## 【 0 0 2 2 】

入力端子  $L_{in}$  に検査信号を入力し、出力端子  $L_{out}$  の信号を調べることで、トランジスタ 1 2 1 a のゲートに印加される走査信号の状態を知ることができる。また、入力端子  $R_{in}$  に検査信号を入力し、出力端子  $R_{out}$  の信号を調べることで、トランジスタ 1 2 1 b のゲートに印加される走査信号の状態を知ることができる。しかし、第 3 の従来例の公報には、検査方法のみが示されており、修復方法が示されていない。

## 【 0 0 2 3 】

## 【発明が解決しようとする課題】

上述のように、第 2 の従来例の公報には、修復方法が示されているが、検査方法が示されていない。また、その修復方法には、限界があり、図 2 5 に示す欠陥及び図 2 6 に示す欠陥に対しては修復することができない。

## 【 0 0 2 4 】

一方、第 3 の従来例の公報には、検査方法が示されているが、修復方法が示されていない。さらに、その検査方法は具体的なものが示されておらず、すべての欠陥を検出できるものではない。また、仮に、欠陥を検出できたとしても、その欠陥をどのように修復できるかが示されていない。

## 【 0 0 2 5 】

本発明の目的は、走査ドライバの出力線の電位が固定又は開放される欠陥を検出し、その欠陥を自動的に修復することができる表示装置及びその駆動方法を提供することである。

本発明の他の目的は、走査ドライバの出力線の電位が固定又は開放される欠陥を確実に検出することができる表示装置及びその駆動方法を提供することである。

本発明のさらに他の目的は、走査ドライバの出力線の電位が固定又は開放され

る欠陥を確実に修復することができる表示装置及びその駆動方法を提供することである。

#### 【 0 0 2 6 】

##### 【課題を解決するための手段】

本発明の表示装置は、複数の走査線を有する表示部と、表示部の走査線に走査信号を供給するための出力線を有する走査ドライバとを有する。走査ドライバ等の異常により、走査ドライバの出力線のうちの一又は複数の出力線の電位が固定又は開放されているときには、該固定又は開放されている電位の出力線と表示部の走査線との間の接続を切断する。

#### 【 0 0 2 7 】

走査ドライバの出力線の電位が固定又は開放されているときには、該固定又は開放されている電位の出力線と表示部の走査線との間の接続のみを切断することが可能になる。例えば、第 1 の走査ドライバの出力線と表示部の走査線との間の接続が切断されたときには、表示部の走査線には第 2 の走査ドライバの出力線から正常な走査信号が供給される。第 1 又は第 2 の走査ドライバのすべての走査線と表示部のすべての走査線との間の接続を切断するのではなく、電位が固定又は開放されている出力線と表示部の走査線との間の接続のみを切断することができるので、第 1 又は第 2 の走査ドライバの正常な出力線と表示部の走査線との間は接続され、正常な表示を行うことができる。また、第 1 の走査ドライバと第 2 の走査ドライバとで、個別に出力線の電位が固定又は開放されているか否かを判定し、必要に応じて個別に出力線と走査線との間の接続を切断するので、図 2 5 及び図 2 6 に示した様な欠陥でも修復することができる。すなわち、第 1 又は第 2 の走査ドライバと表示部の両方に欠陥がある場合や、第 1 及び第 2 の走査ドライバと表示部とに欠陥がある場合でも、修復が可能になり、正常な表示を行うことができる。

#### 【 0 0 2 8 】

##### 【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態による液晶表示装置の構成例を示すブロック図である。第 1 の実施形態による液晶表示装置は、第 1 又は第 2 の走査ドライバ 4 a, 4 b 内の出力線がグランド線に短絡又は断線等が生じて、その出力線がローレベルに固定されるか又は開放になる欠陥が生じた場合に、その欠陥を検出し、自動的に修復することができる。

## 【 0 0 2 9 】

ガラス基板 1 上には、表示領域 2、第 1 の走査ドライバ 4 a、第 2 の走査ドライバ 4 b、第 1 のデータドライバ 3 a、第 2 のデータドライバ 3 b の他に、判定手段 5 a, 5 b、n チャンネル MOS トランジスタ 7 a, 7 b, 8 a, 8 b が一体化して形成される。ガラス基板 1 と対向基板 6 との間には液晶が充填されており、対向基板 6 の全面には対向電極が形成されている。後に説明する第 2 ～ 5 の実施形態においても、同様の対向基板 6 が用いられる。なお、本明細書で述べるトランジスタは、すべてポリシリコン薄膜トランジスタである。

## 【 0 0 3 0 】

表示領域（表示部）2 内の領域 9 の具体的構成を図 2 に示す。表示領域 2 は、二次元マトリックス状に配列された n チャンネル MOS トランジスタ 2 1 を有する。走査線の左端部 L 1 と走査線の右端部 R 1 とが相互に接続され、第 1 の走査線を構成する。走査線の左端部 L 2 と走査線の右端部 R 2 とが相互に接続され、第 2 の走査線を構成する。同様に、走査線の左端部 L n と走査線の右端部 R n とが相互に接続され、第 n の走査線を構成する。各トランジスタ 2 1 は、ゲートが水平方向に延びる走査線（L 1, R 1）～（L n, R n）に接続され、ソース及びドレインが垂直方向に延びるデータ線 D 1 ～ D n 及び画素電極 2 2 に接続される。画素電極 2 2 に所定の電位を印加することにより、各画素の表示を制御することができる。

## 【 0 0 3 1 】

図 1 において、第 1 及び第 2 の走査ドライバ 4 a, 4 b は、表示領域 2 を挟むように表示領域 2 の両側に設けられ、表示領域 2 の走査線 L 1 ～ L n, R 1 ～ R n の両端に同一の走査信号を供給するための出力線 G L 1 ～ G L n, G R 1 ～ G R n を有する。

## 【 0 0 3 2 】

第1の走査ドライバ4 aは、表示領域2の左に設けられ、n本の出力線GL 1～GL nを有する。第1の走査ドライバ4 aの出力線GL 1～GL nは、n個のnチャンネルMOSトランジスタ（スイッチング手段）8 aを介して、表示領域2の走査線L 1～L nに接続される。すなわち、n個のトランジスタ8 aのソース及びドレインは、出力線GL 1～GL n及び走査線L 1～L nに接続される。

## 【 0 0 3 3 】

第2の走査ドライバ4 bは、表示領域2の右に設けられ、n本の出力線GR 1～GR nを有する。第2の走査ドライバ4 bの出力線GR 1～GR nは、n個のnチャンネルMOSトランジスタ（スイッチング手段）8 bを介して、表示領域2の走査線R 1～R nに接続される。すなわち、n個のトランジスタ8 bのソース及びドレインは、出力線GR 1～GR n及び走査線R 1～R nに接続される。

## 【 0 0 3 4 】

第1及び第2のデータドライバ3 a，3 bは、表示領域2を挟むように表示領域2の両側に設けられる。第1のデータドライバ3 aは、表示領域2の上に設けられ、表示領域2の奇数番目のデータ線D 1，D 3，D 5，・・・，D n-1にデータ信号を供給する。第2のデータドライバ3 bは、表示領域2の下に設けられ、表示領域2の偶数番目のデータ線D 2，D 4，D 6，・・・，D nにデータ信号を供給する。なお、第1及び第2のデータドライバ3 a，3 bは、2つに分離せずに、2つを統合して1つのデータドライバで構成してもよい。ただし、2つに分離することにより、第1及び第2のデータドライバ3 a，3 bのそれぞれの配線間ピッチを大きくすることができるので、製造プロセス条件を緩和でき、製造し易くなる。

## 【 0 0 3 5 】

次に、走査ドライバ4 a，4 bとデータドライバ3 a，3 bとの関係を説明する。第1の走査ドライバ4 aは、表示領域2の走査線（L 1，R 1）～（L n，R n）を順次選択するための走査信号を出力線GL 1～GL n上に出力する。同様に、第2の走査ドライバ4 bは、表示領域2の走査線（L 1，R 1）～（L n，R n）を順次選択するための走査信号を出力線GR 1～GR n上に出力する。

## 【 0 0 3 6 】

データドライバ3-a、3-bは、第1の走査線L1、R1が選択されているときには、第1の走査線L1、R1のラインに対応するデータD1～Dnを出力し、同様に、第2の走査線L2、R2が選択されているときには、第2の走査線L2、R2のラインに対応するデータD1～Dnを出力し、以後、順次、第nの走査線Ln、Rnのラインまで同様にして出力を行う。

## 【 0 0 3 7 】

n個の第1の検査用トランジスタ（nチャネルMOSトランジスタ）7aのゲートには、それぞれ第1の走査ドライバ4aの出力線GL1～GLnが接続される。n個の第1の検査用トランジスタ7aのソース及びドレインの一方には、検査入力端子Linが接続され、他方には判定手段5aの入力端子が接続される。

## 【 0 0 3 8 】

検査入力端子Linには、検査信号を入力する。出力線GL1～GLnのうちのいずれかが選択されると、その選択された出力線が接続されるトランジスタ7aがオンする。すると、トランジスタ7aは、検査入力端子Linから入力された検査信号を判定手段5aへ出力（伝達）する。第1の走査ドライバ4aが正常であれば、n個のトランジスタ7aは、第1の出力線GL1に対応するものから第nの出力線GLnに対応するものまでが順番にオンする。

## 【 0 0 3 9 】

まず、第1の走査ドライバ4aが正常な場合を説明する。トランジスタ7aは、各出力線GL1～GLn上の走査信号がハイレベルになる度に（出力線が選択される度に）、オンする。すると、判定手段5aは、上記の検査信号を正常に入力し、第1の走査ドライバ4aの出力線GL1～GLn上の走査信号が正常であると判定し、ハイレベルを出力する。これらの判定は、各出力線GL1～GLnのタイミング毎に順次行われる。

## 【 0 0 4 0 】

n個のスイッチングトランジスタ（nチャネルMOSトランジスタ）8aのゲートは、判定手段5aの出力端子に接続される。n個のスイッチングトランジスタ8aのソース及びドレインは、一方が走査ドライバ4aの出力線GL1～GL

nに接続され、他方が表示領域2の走査線L1～Lnに接続される。

【0041】

判定手段5aがハイレベルを出力すると、nチャンネルトランジスタ8aは、オンし、走査ドライバ4aの出力線GL1～GLnと表示領域2の走査線L1～Lnとを相互に接続する。これにより、表示領域2は、第1の走査ドライバ4aから走査信号を入力し、正常な表示を行うことができる。

【0042】

次に、第1の走査ドライバ4a内の出力線のうちの一又は複数の出力線がグラウンド線に短絡し、その出力線上の走査信号がローレベルに固定されてしまった欠陥、又は一又は複数の出力線が断線して開放状態になる欠陥を考える。走査信号がローレベルに固定又は開放されると、その走査信号に対応するトランジスタ7aは、オフ状態を維持する。すると、判定手段5aは、端子Linから入力された検査信号を得ることができず、第1の走査ドライバ4aの出力線GL1～GLnのうちの所定の出力線がグラウンド線に短絡しているか又は開放していると判定し、ローレベルを出力する。上記の判定は、出力線GL1～GLnの各出力線毎に判定を行い、出力する。すなわち、正常な出力線のタイミングではハイレベルを出力し、異常な出力線のタイミングではローレベルを出力する。

【0043】

判定手段5aがローレベルを出力すると、nチャンネルMOSトランジスタ8aは、オフし、走査ドライバ4aの出力線GL1～GLnと表示領域2の走査線L1～Lnとの間の接続を切断する。また、正常な出力線については、判定手段5aがハイレベルを出力し、トランジスタ8aはオンし、出力線GL1～GLnと走査線L1～Lnとの間を接続する。これにより、表示領域2は、第1の走査ドライバ4aの正常な出力線のみから走査信号を入力する。異常な出力線については、第2の走査ドライバ4bから走査信号を入力し、正常な表示を行うことができる。

【0044】

以上、第1の走査ドライバ4a、トランジスタ7a、8a及び第1の判定手段5aについて説明したが、第2の走査ドライバ4b、トランジスタ7b、8b及



び第 2 の判定手段 5 b についても同様である。

【0 0 4 5】

すなわち、トランジスタ 7 b のゲートには、第 2 の走査ドライバ 4 b の出力線  $GR_1 \sim GR_n$  が接続される。トランジスタ 7 b のソース及びドレインは、一方が検査入力端子  $R_{in}$  に接続され、他方が判定手段 5 b の入力端子に接続される。

【0 0 4 6】

トランジスタ 8 b のゲートには、判定手段 5 b の出力が接続される。トランジスタ 8 b のソース及びドレインは、一方が第 2 の走査ドライバ 4 b の出力線  $GR_1 \sim GR_n$  に接続され、他方が表示領域 2 の走査線  $R_1 \sim R_n$  に接続される。

【0 0 4 7】

トランジスタ 7 b は、第 2 の走査ドライバ 4 b の出力線  $GR_1 \sim GR_n$  上の走査信号に応じてスイッチングを行う。判定手段 5 b は、トランジスタ 7 b のスイッチングの状態に応じて、第 2 の走査ドライバ 4 b 内の出力線  $GR_1 \sim GR_n$  がグランド線に短絡又は開放しているか否かを判定し、判定結果を出力する。トランジスタ 8 b は、判定手段 5 b の出力に応じて、第 1 の走査ドライバ 4 a の出力線  $GR_1 \sim GR_n$  と表示領域 2 の走査線  $R_1 \sim R_n$  との間の接続のスイッチングを行う。

【0 0 4 8】

次に、液晶表示装置内に 3 つの欠陥がある場合を説明する。第 1 の欠陥は、第 1 の走査ドライバ 4 a 内の出力線  $GL_n$  が短絡ポイント 1 0 でグランド線に短絡している欠陥である。第 2 の欠陥は、第 2 の走査ドライバ 4 b 内の出力線  $GR_2$  が短絡ポイント 1 1 でグランド線に短絡している欠陥である。第 3 の欠陥は、表示領域 2 の走査線  $L_5, R_5$  が断線ポイント 1 2 で断線している欠陥である。

【0 0 4 9】

この場合、判定手段 5 a は、第 1 の走査ドライバ 4 a の第  $n$  の出力線  $GL_n$  のみがグランド線に短絡し、その他の出力線  $GL_1 \sim GL_{n-1}$  は正常であると判定する。トランジスタ 8 a は、第  $n$  の出力線  $GL_n$  に対応するもののみがオフし、その他の出力線  $GL_1 \sim GL_{n-1}$  に対応するものはオンする。

## 【 0 0 5 0 】

また、判定手段 5 b は、第 2 の走査ドライバ 4 b の第 2 の出力線 G R 2 のみがグランド線に短絡し、その他の出力線 G R 1, G R 3 ~ G R n は正常であると判定する。トランジスタ 8 b は、第 2 の出力線 G R 2 に対応するもののみがオフし、その他の出力線 G R 1, G R 3 ~ G R n に対応するものはオンする。

## 【 0 0 5 1 】

その結果、表示領域 2 の第 2 の走査線 L 2, R 2 には、第 1 の走査ドライバ 4 a のみから走査信号が供給され、第 n の走査線 L n, R n には、第 2 の走査ドライバ 4 b のみから走査信号が供給される。また、残りの走査線 (L 1, R 1)、(L 3, R 3) ~ (L n - 1, R n - 1) には、第 1 及び第 2 の走査ドライバ 4 a, 4 b の両方から走査信号が供給される。

## 【 0 0 5 2 】

断線ポイント 1 2 付近では、表示領域 1 2 a は、第 1 の走査ドライバ 4 a から走査信号を受けて、正常な表示を行うことができる。一方、表示領域 1 2 b は、第 2 の走査ドライバ 4 b から走査信号を受けて、正常な表示を行うことができる。このように、上記の 3 ポイント 1 0 ~ 1 2 の欠陥があったとしても、すべてのラインについて正常な表示を行うことができる。

## 【 0 0 5 3 】

図 3 は、上記の図 1 のデータドライバ 3 a の構成を示す回路図である。データドライバ 3 a の構成を説明するが、データドライバ 3 b の構成もそれと同様である。データドライバ 3 a は、シフトレジスタ 3 1、ビデオアナログ線 3 2、及びアナログスイッチ 3 3 を有する。

## 【 0 0 5 4 】

シフトレジスタ 3 1 は、スタート信号端子 S I、クロック端子 C L K、及びクロックバー（反転）端子 / C L K の 3 つの入力端子に各信号を入力し、出力線 3 7, 3 8, . . . から順次パルスを出力する。すなわち、まず、出力線 3 7 が選択され、次に出力線 3 8 が選択され、順次後段の出力線が選択されていく。出力線 3 7, 3 8, . . . は、2 本だけでなく、実際には多数存在する。なお、上記の記号「/」は、バー（反転）信号を意味する。

## 【 0 0 5 5 】

ビデオアナログ線 3-2 は、例えば 8 本のビデオアナログ線 3 2 a ~ 3 2 h となり、例えば 2 5 6 階調のデータ信号のアナログ電圧を供給する。アナログスイッチ 3 3 は、n チャネル MOS トランジスタ 3 4 と p チャネル MOS トランジスタ 3 5 とが 1 組のスイッチを構成し、水平方向に並ぶ 8 組のスイッチが 1 ユニットになる。すなわち、左端の 8 組のユニットでは、n チャネル MOS トランジスタ 3 4 のゲートに出力線 3 7 が接続され、p チャネル MOS トランジスタ 3 5 のゲートには、論理反転回路（インバータ）3 6 を介して出力線 3 7 が接続される。その右隣の 8 組のユニットは、n チャネル MOS トランジスタ 3 4 のゲートに出力線 3 8 が接続され、p チャネル MOS トランジスタ 3 5 のゲートに、論理反転回路（インバータ）3 6 を介して出力線 3 8 が接続される。

## 【 0 0 5 6 】

n チャネル MOS トランジスタ 3 4 と p チャネル MOS トランジスタ 3 5 のソース及びドレインは、ビデオアナログ線 3 2 a ~ 3 2 h 及び表示領域 2 のデータ線 D 1, D 3, . . . , D n - 1 に接続される。

## 【 0 0 5 7 】

出力線 3 7 が選択されてハイレベルになると、アナログスイッチ 3 3 内の左端の 8 組のスイッチユニットがオンし、8 本のビデオアナログ線 3 2 a ~ 3 2 h と 8 本のデータ線 D 1, D 3, . . . , D 1 5 とが接続され、8 本のデータ信号が表示領域 2 に供給される。

## 【 0 0 5 8 】

次に、出力線 3 7 がローレベルになった後、ビデオアナログ線 3 2 に新たなデータ信号が供給され、出力線 3 8 が選択されてハイレベルになる。すると、アナログスイッチ 3 3 内の左端から 2 番目の 8 組のスイッチユニットがオンし、8 本のビデオアナログ線 3 2 a ~ 3 2 h と 8 本のデータ線 D 1 7, D 1 9, . . . , D 3 1 とが接続され、新たな 8 本のデータ信号が表示領域 2 に供給される。以上のようにして、データ線 D n - 1 まで順次データが供給され、1 ライン分のデータ供給が完了する。この動作を表示領域 2 の各ラインについて行う。

## 【 0 0 5 9 】

図 4 (A) は、上記の図 1 の走査ドライバ 4 a, 4 b 内で使用するクロックドインバータを示す図である。クロックドインバータは、クロック信号 CLK 及びクロックバー信号 /CLK を制御信号として、入力端子 IN から入力される信号を反転して、出力端子 OUT から出力する。

#### 【 0 0 6 0 】

図 4 (B) は、上記の図 4 (A) のクロックドインバータの構成を示す回路図である。p チャンネル MOS トランジスタ 4 1 は、ゲートがクロックバー信号端子 /CLK に接続され、ソースが正電位 V<sub>dd</sub> に接続され、ドレインが p チャンネル MOS トランジスタ 4 2 のソースに接続される。p チャンネル MOS トランジスタ 4 2 は、ゲートが入力端子 IN に接続され、ドレインが出力端子 OUT に接続される。n チャンネル MOS トランジスタ 4 3 は、ゲートが入力端子 IN に接続され、ドレインが出力端子 OUT に接続され、ソースが n チャンネル MOS トランジスタ 4 4 のドレインに接続される。n チャンネル MOS トランジスタ 4 4 は、ゲートがクロック信号端子 CLK に接続され、ソースがグランド電位 GND に接続される。

#### 【 0 0 6 1 】

図 5 (A) は、図 1 の第 1 の走査ドライバ 4 a の構成を示す回路図である。第 1 の走査ドライバ 4 a の構成を説明するが、第 2 の走査ドライバ 4 b の構成もそれと同様である。第 1 のクロックドインバータ 5 1, 5 6 は、クロック信号端子 CLK 及びクロックバー信号端子 /CLK の位置が図 4 (B) に示すものと同じである。一方、第 2 のクロックドインバータ 5 3, 5 4 は、クロック信号端子 CLK 及びクロックバー信号端子 /CLK の位置が図 4 (B) に示すものと逆であり、トランジスタ 4 1 のゲートにクロック信号端子 CLK が接続され、トランジスタ 4 4 のゲートにクロックバー信号端子 /CLK が接続される。

#### 【 0 0 6 2 】

クロックドインバータ 5 1 は、入力がスタート信号端子 SI に接続され、出力がインバータ 5 2 の入力に接続される。クロックドインバータ 5 3 は、入力がインバータ 5 2 の出力に接続され、出力がインバータ 5 2 の入力に接続される。クロックドインバータ 5 4 は、入力がインバータ 5 2 の出力に接続され、出力がイ

ンバータ 5 5 の入力に接続される。クロックドインバータ 5 6 は、入力がインバータ 5 5 の出力に接続され、出力がインバータ 5 5 の入力に接続される。上記のクロックドインバータ 5 1, 5 3 及びインバータ 5 2 が奇数番目ユニットを構成し、クロックドインバータ 5 4, 5 6 及びインバータ 5 5 が偶数番目ユニットを構成する。図の右側には、上記の奇数番目ユニットと偶数番目ユニットとが交互に水平方向に繰り返して接続される。

## 【 0 0 6 3 】

論理積 (AND) 回路 5 7 は、インバータ 5 2 の出力とインバータ 5 5 の出力との論理積をとって、第 1 の出力線 G L 1 に出力する。論理積回路 5 8 は、インバータ 5 5 の出力と後段のインバータの出力との論理積をとって、第 2 の出力線 G L 2 に出力する。

## 【 0 0 6 4 】

図 5 (B) は、図 5 (A) の走査ドライバ 4 a の動作を説明するためのタイミングチャートである。走査ドライバ 4 a は、シフトレジスタと同様の機能を果たす。すなわち、スタート信号端子 S I にスタート信号のパルスを入力すると、順次、第 1 の出力線 G L 1、第 2 の出力線 G L 2 ~ 第 n の出力線 G L n にパルスを出力する。

## 【 0 0 6 5 】

図 6 は、上記の図 1 の判定手段 5 a 及びその周辺部分の回路図である。走査ドライバ 4 a は、上記の図 5 (A) に示した走査ドライバ 4 a の回路と同一である。n チャンネル MOS トランジスタ 7 a は、図 1 のトランジスタ 7 a に対応する。n チャンネル MOS トランジスタ 8 a は、図 1 のトランジスタ 8 a に対応する。判定手段 5 a は、図 1 の判定手段 5 a に対応し、2 つのインバータ 6 1, 6 2 を直列に接続することにより構成され、線 L o u t より受け取った信号を H / L に整形する機能を果たす。判定手段 5 b 及びその周辺部分も、上記の判定手段 5 a 及びその周辺部分の回路と同様である。

## 【 0 0 6 6 】

図 7 は、上記の第 1 の実施形態による液晶表示装置 (図 1) の動作を示すタイミングチャートである。ここでは、図 1 に示したように、短絡ポイント 1 0, 1

1 及び断線ポイント 1 2 の欠陥がある場合を例に説明する。

【 0 0 6 7 】

検査入力端子  $L_{in}$  及び  $R_{in}$  には、それぞれパルス状の検査信号が供給される。出力線  $GL_1 \sim GL_{n-1}$  には、正常なパルスが順次出力される。すなわち、第 1 の出力線  $GL_1$  にはタイミング  $T_1$  でパルスが発生し、第 2 の出力線  $GL_2$  にはタイミング  $T_2$  でパルスが発生し、第 3 の出力線  $GL_3$  にはタイミング  $T_3$  でパルスが発生する。

【 0 0 6 8 】

第  $n$  の出力線  $GL_n$  は、短絡ポイント 1 0 でグランド線に短絡しているため、本来、パルスが発生すべきタイミング  $T_n$  でパルスが発生せず、ローレベルに固定されている。

【 0 0 6 9 】

同様に、出力線  $GR_1$ 、 $GR_3 \sim GR_n$  には、正常なパルスが順次供給される。すなわち、第 1 の出力線  $GR_1$  にはタイミング  $T_1$  でパルスが発生し、第 3 の出力線  $GR_3$  にはタイミング  $T_3$  でパルスが発生し、第  $n$  の出力線  $GR_n$  にはタイミング  $T_n$  でパルスが発生する。

【 0 0 7 0 】

第 2 の出力線  $GR_2$  は、短絡ポイント 1 1 でグランド線に短絡しているため、本来、パルスが発生すべきタイミング  $T_2$  でパルスが発生せず、ローレベルに固定されている。

【 0 0 7 1 】

判定手段 5 a への出力線  $L_{out}$  (図 6) には、トランジスタ 7 a を介して検査入力端子  $L_{in}$  の信号が伝達される。出力線  $GL_1 \sim GL_{n-1}$  が正常であるので、タイミング  $T_1 \sim T_{n-1}$  では、検査入力端子  $L_{in}$  の信号がそのまま出力線  $L_{out}$  上に現れる。しかし、出力線  $GL_n$  がローレベルに固定されているために、タイミング  $T_n$  では、トランジスタ 7 a がオフし、出力線  $L_{out}$  がローレベルになってしまう。

【 0 0 7 2 】

同様に、判定手段 5 b への出力線  $R_{out}$  には、トランジスタ 7 b を介して検

査入力端子  $R_{in}$  の信号が伝達される。出力線  $GR_1$ ,  $GR_3 \sim GR_n$  が正常であるので、タイミング  $T_1$ ,  $T_3 \sim T_n$  では、検査入力端子  $R_{in}$  の信号がそのまま出力線  $R_{out}$  上に現れる。しかし、出力線  $GR_2$  がローレベルに固定されているために、タイミング  $T_2$  では、トランジスタ  $7b$  がオフし、出力線  $R_{out}$  がローレベルになってしまう。

#### 【0073】

その結果、第2の走査線  $L_2$ ,  $R_2$  には、タイミング  $T_2$  で、出力線  $GR_2$  が切断され、第1の走査ドライバ  $4a$  の出力線  $GL_2$  から走査信号が供給されてパルスが現れる。また、第  $n$  の走査線  $L_n$ ,  $R_n$  には、タイミング  $T_n$  で、出力線  $GL_n$  が切断され、第2の走査ドライバ  $4b$  の出力線  $GR_n$  から走査信号が供給されてパルスが現れる。以上のようにして、欠陥ポイント  $10 \sim 12$  が自動修復され、全ラインが正常に表示される。

#### 【0074】

次に、検査入力端子  $L_{in}$  の信号をハイレベルに固定せずに、各タイミング毎に短いローレベル期間を設けたパルスにしている理由を説明する。例えば、タイミング  $T_1$  において、トランジスタ  $7a$  のゲートに接続される出力線  $GL_1$  の選択期間が終了する直前のハイレベルの時に、検査入力端子  $L_{in}$  の信号をローレベルにしている。この時、トランジスタ  $7a$  はオンし、入力端子  $L_{in}$  の信号が判定手段  $5a$  への出力線  $L_{out}$  に伝達され、ローレベルにリセットされる。これにより、判定手段  $5a$  の出力線  $L_{out}$  から不必要な電荷を放電させ、前の状態を消すことができる。仮に、入力端子  $L_{in}$  の信号をハイレベルに固定すると、出力線  $L_{out}$  がリセットされずに、不安定な状態となる。すなわち、トランジスタ  $8a$  を一度オフさせないと、出力線  $GL_1 \sim GL_n$  の判定の際に出力線  $GR_1 \sim GR_n$  の影響が出てしまい、走査ドライバ  $4a$ ,  $4b$  のどちらのドライバを判定しているのかわからなくなってしまう。以上の理由により、入力端子  $L_{in}$  及び  $R_{in}$  の信号をパルス状にする必要がある。

#### 【0075】

(第2の実施形態)

図8は、本発明の第2の実施形態による液晶表示装置の構成例を示すブロック

図である。第2の実施形態は、第1の実施形態におけるスイッチングトランジスタ8-a、8-bの代わりに、nチャネルMOSトランジスタ14-a、14-b、pチャネルMOSトランジスタ15-a、15-b、及びインバータ13-a、13-bを設けた点のみが第1の実施形態と異なる。

## 【0076】

まず、第1の走査ドライバ4-a側の部分について説明する。nチャネルMOSトランジスタ14-aとpチャネルMOSトランジスタ15-aとで構成されるCMOSトランジスタがスイッチを構成する。トランジスタ14-a及び15-aのソース及びドレインは、一方が第1の走査ドライバ4-aの出力線GL1～GLnに接続され、他方が表示領域2の走査線L1～Lnに接続される。nチャネルMOSトランジスタ14-aのゲートには、判定手段5-aの出力が接続される。pチャネルMOSトランジスタ15-aのゲートには、判定手段5-aの出力をインバータ13-aで論理反転した信号が入力される。CMOSトランジスタ14-a、15-aが出力線GL1～GLnと走査線L1～Lnとの間を接続又は切断するスイッチング手段として機能する。

## 【0077】

同様に、第2の走査ドライバ4-b側の部分においても、nチャネルMOSトランジスタ14-b及びpチャネルMOSトランジスタ15-bのソース及びドレインは、一方が第2の走査ドライバ4-bの出力線GR1～GRnに接続され、他方が表示領域2の走査線R1～Rnに接続される。nチャネルMOSトランジスタ14-bのゲートには、判定手段5-bの出力が接続され、pチャネルMOSトランジスタ15-bのゲートには、判定手段5-bの出力をインバータ13-bで論理反転した信号が入力される。CMOSトランジスタ14-b、15-bが出力線GR1～GRnと走査線R1～Rnとの間を接続又は切断するスイッチング手段として機能する。

## 【0078】

第2の実施形態では、CMOSトランジスタ14-a、15-a及び14-b、15-bでスイッチング手段を構成することにより、nチャネルMOSトランジスタ8-a、8-bを用いる第1の実施形態に比べて、スイッチング速度を高速化すること



ができる。スイッチング速度を高速化することにより、表示領域 2 に走査信号を所定のタイミングで確実に供給し、動作を安定化させることができる。

## 【 0 0 7 9 】

## (第 3 の実施形態)

図 9 は、本発明の第 3 の実施形態による液晶表示装置の構成例を示すブロック図である。第 3 の実施形態では、第 1 又は第 2 の走査ドライバ 7 1 a, 7 1 b 内の出力線が電源線に短絡等して、その出力線がハイレベルに固定される欠陥が生じた場合に、その欠陥を検出し、自動的に修復することができる。

## 【 0 0 8 0 】

ガラス基板 1 上には、表示領域 2、第 1 のデータドライバ 3 a、第 2 のデータドライバ 3 b、第 1 の走査ドライバ 7 1 a、第 2 の走査ドライバ 7 1 b の他に、判定手段 7 2 a, 7 2 b、NAND (否定論理積) 回路 7 3 a, 7 3 b、インバータ 7 4 a, 7 4 b, 7 6 a, 7 6 b、n チャネル MOS トランジスタ 7 5 a, 7 5 b, 7 7 a, 7 7 b、p チャネル MOS トランジスタ 7 8 a, 7 8 b が一体化して形成される。

## 【 0 0 8 1 】

表示領域 2、第 1 及び第 2 のデータドライバ 3 a, 3 b は、第 1 の実施形態 (図 1) と同じである。第 1 の走査ドライバ 7 1 a は、第 1 の実施形態 (図 1) の第 1 の走査ドライバ 4 a に対して、第 0 の出力線 G L 0 及び第 n + 1 の出力線 G L n + 1 がダミーとして付加されたものである。出力線 G L 0 及び G L n + 1 は、表示領域 2 には接続されないが、第 1 の走査ドライバ 7 1 a の出力線 G L 0 ~ G L n + 1 が電源線に短絡しているか否かを検出するために用いられる。同様に、第 2 の走査ドライバ 7 1 b は、第 1 の実施形態 (図 1) の第 2 の走査ドライバ 4 b に対して、第 0 の出力線 G R 0 及び第 n + 1 の出力線 G R n + 1 がダミーとして付加されたものである。

## 【 0 0 8 2 】

インバータ 7 6 a, 7 6 b、n チャネル MOS トランジスタ 7 7 a, 7 7 b 及び p チャネル MOS トランジスタ 7 8 a, 7 8 b は、第 2 の実施形態 (図 8) のインバータ 1 3 a, 1 3 b、n チャネル MOS トランジスタ 1 4 a, 1 4 b, p

チャネルMOSトランジスタ15a, 15bに対応する。

【0083】

すなわち、MOSトランジスタ77a, 78aのソース及びドレインは、第1の走査ドライバ71aの出力線GL1~GLn及び表示領域2の走査線L1~Lnに接続される。また、nチャネルMOSトランジスタ77aのゲートには、判定手段72aの出力が接続され、pチャネルMOSトランジスタ78aのゲートには、インバータ76aを介して判定手段72aの出力が接続される。

【0084】

また、MOSトランジスタ77b, 78bのソース及びドレインは、第2の走査ドライバ71bの出力線GR1~GRn及び表示領域2の走査線R1~Rnに接続される。また、nチャネルMOSトランジスタ77bのゲートには、判定手段72bの出力が接続され、pチャネルMOSトランジスタ78bのゲートには、インバータ76bを介して判定手段72bの出力が接続される。

【0085】

NAND回路73aの入力には、第1の走査ドライバ71aの出力線GL0~GLn+1のうちのそれぞれ隣接する2本の出力線が接続され、その2本の出力線上の走査信号の否定論理積を出力する。インバータ74aは、NAND回路73aの出力を入力し、その論理反転信号を出力する。

【0086】

検査用nチャネルMOSトランジスタ75aは、第1の実施形態(図1)の検査用トランジスタ7aに対応する。検査用トランジスタ75aのゲートには、インバータ74aの出力が接続される。検査用トランジスタ75aのソース及びドレインの一方には、検査入力端子Linが接続され、他方には判断手段72aの入力端子が接続される。

【0087】

検査入力端子Linには、検査信号を入力する。出力線GL0~GLn+1のうちのいずれかが選択されると、その選択状態に応じてトランジスタ75aがオン又はオフする。トランジスタ75aがオンすると、検査入力端子Linから入力された検査信号は判定手段72aへ出力される。

## 【 0 0 8 8 】

判定手段 7 2 a は、上記の検査信号の入力に応じて、第 1 の走査ドライバ 7 1 a の出力線  $GL0 \sim GLn+1$  のうちの一又は複数の出力線が電源線に短絡してハイレベルに固定されているか否かを判定し、ハイレベルに固定されている場合にはローレベルを出力し、ハイレベルに固定されていない場合にはハイレベルを出力する。

## 【 0 0 8 9 】

判定手段 7 2 a がハイレベルを出力すると、トランジスタ 7 7 a, 7 8 a は、オンし、第 1 の走査ドライバ 7 1 a の出力線  $GL1 \sim GLn$  と表示領域 2 の走査線  $L1 \sim Ln$  とを接続する。これにより、表示領域 2 は、第 1 の走査ドライバ 7 1 a から走査信号を入力し、正常な表示を行うことができる。

## 【 0 0 9 0 】

一方、判定手段 7 2 a がローレベルを出力すると、異常な出力線に対応するトランジスタ 7 7 a, 7 8 a がオフし、第 1 の走査ドライバ 7 1 a の出力線  $GL1 \sim GLn$  のうち異常な出力線と表示領域 2 の走査線  $L1 \sim Ln$  との間を切断する。これにより、異常な走査信号を表示領域 2 に供給することを防止できる。

## 【 0 0 9 1 】

以上、第 1 の走査ドライバ 7 1 a、NAND 回路 7 3 a、インバータ 7 4 a, 7 6 a、トランジスタ 7 5 a, 7 7 a, 7 8 a 及び第 1 の判定手段 7 2 a について説明したが、第 2 の走査ドライバ 7 1 b、NAND 回路 7 3 b、インバータ 7 4 b, 7 6 b、トランジスタ 7 5 b, 7 7 b, 7 8 b 及び第 2 の判定手段 7 2 b についても同様である。

## 【 0 0 9 2 】

図 1 0 は、上記の図 9 の判定手段 7 2 a 及びその周辺部分の回路図である。判定手段 7 2 a 及びその周辺部分の回路を説明するが、判定手段 7 2 b 及びその周辺部分の回路もそれと同様である。走査ドライバ 7 1 a は、上記の図 5 (A) に示した走査ドライバ 4 a に対して、ダミー出力線  $GL0$  を出力するためのユニット回路 A A が付加されており、ダミー出力線  $GLn+1$  を出力するためのユニット回路も付加されている。ユニット回路 A A は、クロックドインバータ 8 1, 8

3、インバータ 8 2 及び論理積回路 8 4 を有し、これらは奇数番目ユニットとしてクロックドインバータ 5 4、5 6、インバータ 5 5、論理積回路 5 8 に対応するものである。クロックドインバータ 8 1、5 3、5 4 は、図 4 (B) において、クロックバー信号端子 / CLK がトランジスタ 4 1 のゲートに接続され、クロック信号端子 CLK がトランジスタ 4 4 のゲートに接続される。クロックドインバータ 8 3、5 1、5 6 は、図 4 (B) において、クロックバー信号端子 / CLK がトランジスタ 4 4 のゲートに接続され、クロック信号端子 CLK がトランジスタ 4 1 のゲートに接続される。

## 【 0 0 9 3 】

論理積回路 8 5 a は、図 9 の NAND 回路 7 3 a 及びインバータ 7 4 a の組み合わせに対応する。n チャネル MOS トランジスタ 7 5 a、7 7 a、p チャネル MOS トランジスタ 7 8 a 及びインバータ 7 6 a は、図 9 の同一の符号の素子に対応する。

## 【 0 0 9 4 】

判定手段 7 2 a は、D 型フリップフロップ 8 7、インバータ 8 8、NAND 回路 8 9、p チャネル MOS トランジスタ 9 0 及び n チャネル MOS トランジスタ 8 6、9 2 を有する。D 型フリップフロップ 8 7 は、クロック端子 CK に、信号線 OH を介して n チャネル MOS トランジスタ 7 5 a のソースが接続され、入力端子 DF に、自己の反転出力端子 / Q が接続される。n チャネル MOS トランジスタ 8 6 は、ゲートにリセット端子 RS が接続され、ドレインに上記の入力端子 DF が接続され、ソースにグランド端子が接続される。

## 【 0 0 9 5 】

インバータ 8 8 は、入力が信号線 OH に接続され、その入力信号の論理反転信号を出力する。NAND 回路 8 9 は、一方の入力信号線 A にインバータ 8 8 の出力が接続され、他方の入力信号線 B に D 型フリップフロップ 8 7 の出力端子 Q が接続される。p チャネル MOS トランジスタ 9 0 は、ゲートに端子 SS が接続され、ソースに NAND 回路 8 9 の出力が接続され、ドレインにインバータ 7 6 a の入力が接続される。n チャネル MOS トランジスタ 9 2 は、ゲートに端子 SS が接続され、ドレインにインバータ 7 6 a の入力が接続され、ソースにグランド

端子が接続される。

【0 0 9 6】

図 1 1 は、第 3 の実施形態による液晶表示装置の動作を示すタイミングチャートであり、液晶表示装置に欠陥がない場合を例に説明する。図 1 1 及び図 1 2 では、第 1 の走査ドライバ 7 1 a 側のタイミングを示すが、第 2 の走査ドライバ 7 1 b 側のタイミングも同様である。

【0 0 9 7】

検査入力端子  $L_{in}$  及び  $R_{in}$  には、第 1 の実施形態（図 7）と同様に、パルス状の検査信号が供給される。出力線  $GL_0 \sim GL_{n+1}$ 、 $GR_0 \sim GR_{n+1}$  には、正常なパルス状の走査信号が順次出力される。

【0 0 9 8】

信号線  $H_1$ （図 1 0）の信号は、出力線  $GL_1$  の信号と出力線  $GL_2$  の信号との論理積の信号になるので、ローレベルを保持する。信号線  $H_2$ （図 1 0）の信号は、出力線  $GL_2$  の信号と出力線  $GL_3$  の信号との論理積の信号になるので、ローレベルを保持する。信号線  $H_1$ 、 $H_2$  等がローレベルを保持すると、すべての  $n$  チャンネル MOS トランジスタ 7 5 a がオフし、信号線  $OH$  はローレベルを保持する。

【0 0 9 9】

リセット端子  $RS$  には、走査信号のスタートタイミングよりも前にパルス状のリセット信号が供給される。D 型フリップフロップ 8 7 のクロック端子  $CK$  は、信号線  $OH$  に接続されているので、信号線  $OH$  と同じくローレベルを保持する。D 型フリップフロップ 8 7 の入力端子  $DF$  は、リセット端子  $RS$  にリセット信号が入力されることにより、ローレベルを保持する。

【0 1 0 0】

入力信号線  $A$  は、信号線  $OH$  の反転信号となるので、ハイレベルを保持する。入力信号線  $B$  は、D 型フリップフロップ 8 7 の出力端子  $Q$  に接続されているので、ローレベルを保持する。信号線  $C$  は、信号線  $A$  の信号と信号線  $B$  の信号との否定論理積の信号レベルになるので、ハイレベルを保持する。

【0 1 0 1】

端子 S S には、パルス信号が供給される。インバータ 7 6 a の入力線 E は、端子 S S の信号がハイレベルのときにはローレベルになり、端子 S S の信号がローレベルのときには信号線 C の信号と同じ信号レベルになる。インバータ 7 6 a の出力線 F は、入力線 E の信号の反転信号レベルになる。

## 【 0 1 0 2 】

走査線 L 1 は、信号線 E がハイレベルのとき（すなわち信号線 F がローレベルのとき）に出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになる。同様に、走査線 L 2 は、信号線 E がハイレベルのときに出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになる。

## 【 0 1 0 3 】

その結果、走査線 L 1 ～ L n には、出力線 G L 1 ～ G L n 上の走査信号が順次パルスとして正常に供給される。同様に、走査線 R 1 ～ R n には、出力線 G R 1 ～ G R n 上の走査信号が順次パルスとして正常に供給される。

## 【 0 1 0 4 】

図 1 2 は、第 3 の実施形態による液晶表示装置において、走査ドライバ 7 1 a の出力線 G L 2 が電源線に短絡してハイレベルに固定された場合の動作を示すタイミングチャートである。

## 【 0 1 0 5 】

検査入力端子 L i n 及び R i n には、パルス状の検査信号が供給される。出力線 G L 2 のみがハイレベルに固定され、それ以外の出力線 G L 0, G L 1, G L 3 ～ G L n + 1 は、正常なパルス状の走査信号を順次出力する。

## 【 0 1 0 6 】

信号線 H 1 の信号は、出力線 G L 1 の信号と出力線 G L 2 の信号との論理積の信号になるので、タイミング T 1 でパルスが現れる。信号線 H 2 の信号は、出力線 G L 2 の信号と出力線 G L 3 の信号との論理積の信号になるので、タイミング T 3 でパルスが現れる。

## 【 0 1 0 7 】

信号線 O H は、信号線 H 1 又は H 2 の信号がハイレベルになったときに検査入

力端子 L i n の信号と同じ信号レベルになり、それ以外ではローレベルになる。

その結果、信号線 O H は、タイミング T 1 及び T 3 でのみパルスが現れ、それ以外ではローレベルを保持する。端子 R S 及び S S の信号は、図 1 1 に示したものと同一である。

#### 【 0 1 0 8 】

D 型フリップフロップ 8 7 のクロック端子 C K は、信号線 O H の信号レベルと同じになる。D 型フリップフロップ 8 7 の入力端子 D F は、タイミング T 3 で、クロック端子 C K の信号の 2 回目の立上がりに応じて、ローレベルからハイレベルに変わる。

#### 【 0 1 0 9 】

入力信号線 A には、信号線 O H の信号の反転信号が供給される。入力信号線 B は、D 型フリップフロップ 8 7 のクロック端子 C K の立上がりに応じて、信号レベルが反転する。すなわち、タイミング T 1 でローレベルからハイレベルに変化し、タイミング T 3 でハイレベルからローレベルに変化する。信号線 C は、信号線 A の信号と信号線 B の信号との否定論理積の信号レベルになる。

#### 【 0 1 1 0 】

インバータ 7 6 a の入力線 E は、端子 S S の信号がハイレベルのときにはローレベルになり、端子 S S の信号がローレベルのときには信号線 C の信号と同じ信号レベルになる。インバータ 7 6 a の出力線 F は、入力線 E の信号の反転信号レベルになる。

#### 【 0 1 1 1 】

走査線 L 1 は、信号線 E がハイレベルのときに出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになる。同様に、走査線 L 2 は、信号線 E がハイレベルのときに出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになる。

#### 【 0 1 1 2 】

その結果、走査線 L 1 では、図 1 1 の場合と同様に、タイミング T 1 でパルスが現れる。しかし、走査線 L 2 では、出力線 G L 2 が電源線に短絡されているために、本来パルスが現れるべきタイミング T 2 でパルスが現れない。その代わり

、タイミングT2では、第2の走査ドライバ71bの出力線GR2から表示領域2の走査線R2に正常な走査信号が供給され、正常な表示が行われる。

## 【0113】

## (第4の実施形態)

本発明の第4の実施形態による液晶表示装置は、第3の実施形態(図9)に対して判定手段72a、72bの構成のみが異なる。第4の実施形態によれば、第1又は第2の走査ドライバ71a、71bの隣接(連続)する2本以上の出力線が電源線に短絡等して、それらの出力線がハイレベルに固定される欠陥が生じた場合に、その欠陥を検出し、自動的に修復することができる。この際、第1の走査ドライバ71aの隣接する2本以上の出力線が電源線に短絡しているときには、第1の走査ドライバ71aの全出力線を表示領域2から切り離し、第2の走査ドライバ71bの出力線から表示領域2に走査信号を供給する。一方、第2の走査ドライバ71bの隣接する2本以上の出力線が電源線に短絡しているときには、第2の走査ドライバ71bの全出力線を表示領域2から切り離し、第1の走査ドライバ71aの出力線から表示領域2に走査信号を供給する。

## 【0114】

図13は、第4の実施形態による判定手段72a及びその周辺部分の回路図である。判定手段72a及びその周辺部分の回路を説明するが、判定手段72b及びその周辺部分もそれと同様である。判定手段72aは、第3の実施形態による判定手段72a(図10)に対して、N進カウンタ133、nチャネルMOSトランジスタ132、ラッチ回路134、インバータ135及び論理積(AND)回路136を付加したものである。

## 【0115】

N進カウンタ133は、入力端子NCKが信号線OHに接続され、リセット端子NRがnチャネルMOSトランジスタ132のドレインに接続され、N個のパルスをカウントすると出力端子NQからハイレベルを出力する。nチャネルMOSトランジスタ132は、ソースがグランド端子に接続され、ゲートがリセット端子RSに接続される。

## 【0116】



例えば、液晶表示装置の表示領域の水平解像度が600の場合は $N = 600$ になる。 $N$ 進カウンタ133は、1フレーム内で $N$ 個のパルスのカウントすると、その後に出力端子 $NQ$ からハイレベルを出力し、1フレーム内のパルスが $N$ 個未満のときには、フレーム毎にリセットし、出力端子 $NQ$ からローレベルを出力する。

## 【0117】

ラッチ回路134は、セット端子 $S$ が $N$ 進カウンタ133の出力端子 $NQ$ に接続され、リセット端子 $R$ がグランド端子に接続され、セット端子 $S$ にハイレベルが入力されると出力端子 $Q0$ からハイレベルを出力する。インバータ135は、入力端子がラッチ回路134の出力端子 $Q0$ に接続され、その入力信号を反転した出力信号を信号線 $N$ に出力する。

## 【0118】

$NAND$ 回路89は、第3の実施形態の判定手段72aの $NAND$ 回路89（図10）と同様に、出力端子が信号線 $C$ に接続される。論理積回路136は、入力端子が信号線 $C$ と信号線 $N$ に接続され、それらの論理積を演算して出力信号を信号線 $G$ に出力する。 $p$ チャネルMOSトランジスタ90は、ソースが信号線 $G$ に接続され、ドレインが信号線 $E$ に接続され、ゲートが端子 $SS$ に接続される。 $n$ チャネルMOSトランジスタ92は、ソースがグランド端子に接続され、ドレインが信号線 $E$ に接続され、ゲートが端子 $SS$ に接続される。インバータ76aは、入力端子が信号線 $E$ に接続され、その入力信号を反転した出力信号を信号線 $F$ に出力する。 $n$ チャネルMOSトランジスタ77aのゲートには信号線 $E$ が接続され、 $p$ チャネルMOSトランジスタ78aのゲートには信号線 $F$ が接続される。

## 【0119】

図14は、第4の実施形態による液晶表示装置の動作を示すタイミングチャートであり、液晶表示装置に欠陥がない場合を例に説明する。図14～図16では、第1の走査ドライバ71a側のタイミングを示すが、第2の走査ドライバ71b側のタイミングも同様である。

## 【0120】

検査入力端子  $L i n$  には、第 3 の実施形態（図 1 1）と同様に、パルス状の検査信号が供給される。出力線  $G L 0 \sim G L n + 1$  は、正常なパルス状の走査信号を順次出力する。

## 【 0 1 2 1 】

信号線  $H 1$  は、出力線  $G L 1$  の信号と出力線  $G L 2$  の信号との論理積の信号レベルになるので、ローレベルを保持する。信号線  $H 2$  は、出力線  $G L 2$  の信号と出力線  $G L 3$  の信号との論理積の信号レベルになるので、ローレベルを保持する。すると、トランジスタ 7 5 a がすべてオフし、信号線  $O H$  もローレベルを保持する。

## 【 0 1 2 2 】

リセット端子  $R S$  及び端子  $S S$  に入力される信号は、第 3 の実施形態（図 1 1）と同じである。D 型フリップフロップ 8 7 のクロック端子  $C K$  は、信号線  $O H$  と同じ信号レベルであり、ローレベルを保持する。D 型フリップフロップ 8 7 の入力端子  $D F$  は、リセット端子  $R S$  にリセット信号が入力されることにより、ローレベルを保持する。

## 【 0 1 2 3 】

入力線  $A$  は、信号線  $O H$  の信号の反転信号となるので、ハイレベルを保持する。入力信号線  $B$  は、D 型フリップフロップ 8 7 の出力端子  $Q$  に接続されているので、ローレベルを保持する。信号線  $C$  は、信号線  $A$  の信号と信号線  $B$  の信号との否定論理積の信号レベルになるので、ハイレベルを保持する。

## 【 0 1 2 4 】

$N$  進カウンタ 1 3 3 の入力端子  $N C K$  に接続される信号線  $O H$  はローレベルを保持するので、その出力端子  $N Q$  もローレベルを保持する。ラッチ回路 1 3 4 のセット端子  $S$  に接続される上記の出力端子  $N Q$  がローレベルを保持しているので、ラッチ回路 1 3 4 の出力端子  $Q 0$  もローレベルを保持する。信号線  $N$  は、出力端子  $Q 0$  の信号の反転信号レベルになるので、ハイレベルを保持する。

## 【 0 1 2 5 】

信号線  $G$  は、信号線  $N$  の信号と信号線  $C$  の信号との論理積の信号レベルとなるので、ハイレベルを保持する。インバータ 7 6 a の入力線  $E$  は、端子  $S S$  の信号

がハイレベルのときにはローレベルになり、端子 S S の信号がローレベルのときには信号線 G の信号と同じ信号レベルになる。インバータ 7 6 a の出力線 F は、入力線 E の信号の反転信号レベルになる。

## 【 0 1 2 6 】

走査線 L 1 は、信号線 E がハイレベルのときに出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになるので、タイミング T 1 でパルスが現れる。同様に、走査線 L 2 は、信号線 E がハイレベルのときに出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになるので、タイミング T 2 でパルスが現れる。

## 【 0 1 2 7 】

その結果、走査線 L 1 ~ L n には、出力線 G L 1 ~ G L n 上の走査信号が正常に供給される。同様に、走査線 R 1 ~ R n には、出力線 G R 1 ~ G R n 上の走査信号が正常に供給される。

## 【 0 1 2 8 】

図 1 5 は、第 4 の実施形態による液晶表示装置において、走査ドライバ 7 1 a の出力線 G L 2 が電源線に短絡してハイレベルに固定された場合の動作を示すタイミングチャートである。

## 【 0 1 2 9 】

検査入力端子 L i n には、パルス状の検査信号が供給される。出力線 G L 2 のみがハイレベルに固定され、それ以外の出力線 G L 0, G L 1, G L 3 ~ G L n + 1 は、正常なパルス状の走査信号を順次出力する。

## 【 0 1 3 0 】

信号線 H 1 は、出力線 G L 1 の信号と出力線 G L 2 の信号との論理積の信号レベルになり、タイミング T 1 でパルスが現れる。信号線 H 2 は、出力線 G L 2 の信号と出力線 G L 3 の信号との論理積の信号レベルになり、タイミング T 3 でパルスが現れる。

## 【 0 1 3 1 】

信号線 O H は、信号線 H 1 又は H 2 の信号がハイレベルになったときに検査入力端子 L i n の信号と同じ信号レベルになり、それ以外ではローレベルになる。

その結果、信号線OHは、タイミングT1及びT3でのみパルスが現れ、それ以外ではローレベルを保持する。端子RS及びSSの信号は、図14に示したものと同一である。

## 【0132】

D型フリップフロップ87のクロック端子CKは、信号線OHの信号と同じ信号レベルになる。D型フリップフロップ87の入力端子DFは、タイミングT3で、クロック端子CKの信号の2回目の立上がりに応じて、ローレベルからハイレベルに変わる。

## 【0133】

入力線Aは、信号線OHの信号の反転信号レベルになる。入力線Bは、フリップフロップ87のクロック端子CKの信号の立上がりに応じて、信号レベルが反転する。すなわち、タイミングT1でローレベルからハイレベルに変化し、タイミングT3でハイレベルからローレベルに変化する。信号線Cは、信号線Aの信号と信号線Bの信号との否定論理積の信号レベルになる。

## 【0134】

N進カウンタ（例えばN=600）133の入力端子NCKに接続される信号線OHは1フレーム当たり2個のパルスしか含まないので、N進カウンタ133はフレーム毎にリセットを行い、その出力端子NQはローレベルを保持する。ラッチ回路134のセット端子Sに接続される上記の出力端子NQがローレベルを保持しているので、ラッチ回路134の出力端子Q0もローレベルを保持する。信号線Nは、出力端子Q0の信号の反転信号レベルになるので、ハイレベルを保持する。

## 【0135】

信号線Gは、信号線Nの信号と信号線Cの信号との論理積の信号レベルとなるので、信号線Cの信号と同じ信号レベルになる。インバータ76aの入力線Eは、端子SSの信号がハイレベルのときにはローレベルになり、端子SSの信号がローレベルのときには信号線Gの信号と同じ信号レベルになる。インバータ76aの出力線Fは、入力線Eの信号の反転信号レベルになる。

## 【0136】

走査線 L 1 は、信号線 E がハイレベルのときには出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにはローレベルになる。同様に、走査線 L 2 は、信号線 E がハイレベルのときには出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにはローレベルになる。

## 【 0 1 3 7 】

その結果、走査線 L 1 では、図 1 4 の場合と同様に、タイミング T 1 でパルスが現れる。しかし、走査線 L 2 では、出力線 G L 2 が電源線に短絡されているために切断され、本来パルスが現れるべきタイミング T 2 でパルスが現れない。その代わり、タイミング T 2 では、第 2 の走査ドライバ 7 1 b の出力線 G R 2 から表示領域 2 の走査線 R 2 に正常な走査信号が供給され、正常な表示が行われる。

## 【 0 1 3 8 】

図 1 6 は、第 4 の実施形態による液晶表示装置において、走査ドライバ 7 1 a の隣接（連続）する出力線 G L 2 及び G L 3 が電源線に短絡してハイレベルに固定された場合の動作を示すタイミングチャートである。

## 【 0 1 3 9 】

検査入力端子 L i n には、パルス状の検査信号が供給される。出力線 G L 2 及び G L 3 のみがハイレベルに固定され、それ以外の出力線 G L 0, G L 1, G L 4 ~ G L n + 1 は、正常なパルス状の走査信号を順次出力する。

## 【 0 1 4 0 】

信号線 H 1 は、出力線 G L 1 の信号と出力線 G L 2 の信号との論理積の信号レベルになるので、タイミング T 1 でパルスが現れる。信号線 H 2 は、出力線 G L 2 の信号と出力線 G L 3 の信号との論理積の信号レベルになるので、ハイレベルを保持する。

## 【 0 1 4 1 】

信号線 H 2 がハイレベルを保持するので、その信号線 H 2 が接続されるトランジスタ 7 5 a がオン状態を保持し、信号線 O H は、検査入力端子 L i n の信号と同じ信号レベルになる。端子 R S 及び S S の信号は、図 1 4 に示したのと同じである。

## 【 0 1 4 2 】

D型フリップフロップ87のクロック端子CKは、信号線OHの信号と同じ信号レベルになる。D型フリップフロップ87の入力端子DFは、クロック端子CKの信号の2回目以降の立上がりに応じて、信号レベルが反転する。

## 【0143】

入力線Aには、信号線OHの信号の反転信号が供給される。入力信号線Bは、クロック端子CKの信号の立上がりに応じて信号レベルが反転する。信号線Cは、信号線Aの信号と信号線Bの信号との否定論理積の信号レベルになる。

## 【0144】

表示領域2の水平解像度が600 ( $n=600$ ) の場合、N進カウンタ ( $N=600$ ) 133の入力端子NCKに接続される信号線OHは1フレーム当たり600個のパルスを含むので、N進カウンタ133はタイミング $T_n$ で600個目の信号線OHのパルスをカウントし、出力端子NQがローレベルからハイレベルに変化する。

## 【0145】

ラッチ回路134のセット端子Sには上記の出力端子NQが接続されているので、ラッチ回路134の出力端子Q0は、第1フレームでは信号141となり、第2フレーム以降では信号142となる。第1フレームの信号141は、タイミング $T_n$ で、N進カウンタ133の出力端子NQの信号の立上がりに応じて、ローレベルからハイレベルに変化する。第2フレーム以降の信号142は、引き続きハイレベルを保持する。第2フレーム以降、信号線Nは、出力端子Q0の信号の反転信号レベルになるので、ローレベルを保持する。

## 【0146】

信号線Gは、信号線Nの信号と信号線Cの信号との論理積の信号レベルとなるので、ローレベルになる。インバータ76aの入力線Eは、端子SSの信号がハイレベルのときにはローレベルになり、端子SSの信号がローレベルのときには信号線Gの信号と同じ信号レベルになる。その結果、入力線Eは、ローレベルを保持する。インバータ76aの出力線Fは、入力線Eの信号の反転信号レベルになるので、ハイレベルを保持する。

## 【0147】

走査線 L 1 は、信号線 E がハイレベルのときには出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにはローレベルになるので、本来パルスが現れるべきタイミング T 1 でパルスが現れずにローレベルを保持する。走査線 L 2 は、信号線 E がハイレベルのときには出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにはローレベルになるので、本来パルスが現れるべきタイミング T 2 でパルスが現れずにローレベルを保持する。

## 【 0 1 4 8 】

すなわち、第 1 の走査ドライバ 7 1 a の全出力線 G L 1 ~ G L n が表示領域 2 から切り離され、走査線 L 1 ~ L n には第 1 の走査ドライバ 7 1 a からパルスが供給されない。その代わり、第 2 の走査ドライバ 7 1 b から表示領域 2 の全走査線 R 1 ~ R n に正常な走査信号が供給され、正常な表示が行われる。

## 【 0 1 4 9 】

第 4 の実施形態によれば、出力線 G L 2 及び G L 3 のように、出力線 G L 0 ~ G L n + 1 のうちの隣接する 2 本以上の出力線がハイレベルに固定された場合には、第 1 の走査ドライバ 7 1 a のすべての出力線 G L 1 ~ G L n と表示領域 2 のすべての走査線 L 1 ~ L n との間をスイッチングトランジスタにより切断する。その代わりに、第 2 の走査ドライバ 7 1 b が出力線 G R 1 ~ G R n を介して表示領域 2 のすべての走査線 R 1 ~ R n に走査信号を供給する。これにより、液晶表示装置は、全ラインについて正常な表示を行うことができる。

## 【 0 1 5 0 】

## (第 5 の実施形態)

図 1 7 は、本発明の第 5 の実施形態による液晶表示装置の構成例を示すブロック図である。第 5 の実施形態は、第 2 の実施形態（図 8）及び第 3 の実施形態（図 9）を統合したものである。第 5 の実施形態では、第 1 又は第 2 の走査ドライバ 7 1 a, 7 1 b 内の出力線がグランド線又は電源線に短絡又は開放等して、その出力線がローレベル又はハイレベルに固定される欠陥が生じた場合に、その欠陥を検出し、自動的に修復することができる。

## 【 0 1 5 1 】

ガラス基板 1、表示領域 2、データドライバ 3 a, 3 b、走査ドライバ 7 1 a

、71b、NAND回路73a、73b、インバータ74a、74b、76a、76b、MOSトランジスタ75a、75b、77a、77b、78a、78bは、第3の実施形態（図9）に示したものと同一である。検査用nチャネルMOSトランジスタ93a、93bは、第2の実施形態（図8）の検査用nチャネルMOSトランジスタ7a、7bに対応する。

## 【0152】

判定手段94aは、nチャネルMOSトランジスタ75aのソース及びnチャネルMOSトランジスタ93aのソースから信号を入力し、nチャネルMOSトランジスタ77aのゲート及びインバータ76aの入力端子に出力する。判定手段94bも、判定手段94aと同様の構成を有する。

## 【0153】

図18は、上記の図17の判定手段94a及びその周辺部分の回路図である。判定手段94a及びその周辺部分の回路を説明するが、判定手段94b及びその周辺部分の回路もそれと同様である。走査ドライバ71aは、第3の実施形態（図10）に示したものと同一である。

## 【0154】

論理積回路85aは、図17のNAND回路73a及びインバータ74aの組み合わせに対応する。その他の符号で示す素子は、図17に示す同一符号の素子と同一のものである。

## 【0155】

判定手段94aは、第3の実施形態（図10）に示した判定手段72aに対して、論理積回路95を付加したものである。論理積回路95は、一方の入力線CがNAND回路89の出力に接続され、他方の入力線Dが信号線OLを介してnチャネルMOSトランジスタ93aのソースに接続される。論理積回路95の出力は、pチャネルMOSトランジスタ90のソースに接続される。nチャネルMOSトランジスタ92は、第3の実施形態（図10）と同様に接続される。

## 【0156】

図19は、第5の実施形態による液晶表示装置において、液晶表示装置に欠陥がない場合の動作を示すタイミングチャートである。図19～図21では、第1



の走査ドライバ 7 1 a 側のタイミングを示すが、第 2 の走査ドライバ 7 1 b 側のタイミングも同様である。

## 【 0 1 5 7 】

検査入力端子  $L_{in}$  及び  $R_{in}$  には、第 1 の実施形態 (図 7) と同様に、パルス状の検査信号が供給される。出力線  $GL_0 \sim GL_{n+1}$ ,  $GR_0 \sim GR_{n+1}$  は、正常なパルス状の走査信号を順次出力する。

## 【 0 1 5 8 】

信号線  $H_1$  は、出力線  $GL_1$  の信号と出力線  $GL_2$  の信号との論理積の信号レベルとなるので、ローレベルを保持する。信号線  $H_2$  は、出力線  $GL_2$  の信号と出力線  $GL_3$  の信号との論理積の信号レベルとなるので、ローレベルを保持する。信号線  $H_1$ ,  $H_2$  等がローレベルを保持するので、トランジスタ 7 5 a のすべてがオフになり、信号線  $OH$  はローレベルを保持する。

## 【 0 1 5 9 】

出力線  $GL_1$ ,  $GL_2$ ,  $GL_3$  等のパルスに応じてトランジスタ 9 3 a がオンするので、トランジスタ 9 3 a のソースに接続されている信号線  $OL$  には、検査入力端子  $L_{in}$  の信号と同一の信号が現れる。端子  $RS$  及び  $SS$  には、第 3 の実施形態 (図 1 1) と同じ信号が供給される。

## 【 0 1 6 0 】

D 型フリップフロップ 8 7 のクロック端子  $CK$  は、信号線  $OH$  の信号と同じ信号レベルになり、ローレベルを保持する。D 型フリップフロップ 8 7 の入力端子  $DF$  は、リセット端子  $RS$  にリセット信号が入力されることにより、ローレベルを保持する。

## 【 0 1 6 1 】

入力線  $A$  は、信号線  $OH$  の信号の反転信号レベルとなるので、ハイレベルを保持する。入力線  $B$  は、D 型フリップフロップ 8 7 の出力端子  $Q$  に接続されているので、ローレベルを保持する。

## 【 0 1 6 2 】

信号線  $C$  は、信号線  $A$  の信号と信号線  $B$  の信号との否定論理積の信号レベルとなるので、ハイレベルを保持する。信号線  $D$  は、上記の信号線  $OL$  の信号と同じ

信号レベルである。信号線Gは、信号線Cの信号と信号線Dの信号との論理積の信号であるので、信号線Dの信号レベルと同じになる。インバータ76aの入力線Eは、端子SSの信号がハイレベルのときにはローレベルになり、端子SSの信号がローレベルのときには信号線Gの信号と同じ信号レベルになる。インバータ76aの出力線Fは、入力線Eの信号の反転信号レベルになる。

## 【0163】

走査線L1は、信号線Eがハイレベルのときに出力線GL1と同じ信号レベルになり、信号線Eがローレベルのときにローレベルになるので、タイミングT1でパルスが現れる。走査線L2は、信号線Eがハイレベルのときに出力線GL2と同じ信号レベルになり、信号線Eがローレベルのときにローレベルになるので、タイミングT2でパルスが現れる。

## 【0164】

その結果、走査線L1～Lnには、出力線GL1～GLn上の走査信号が正常に供給される。同様に、走査線R1～Rnには、出力線GR1～GRn上の走査信号が正常に供給される。

## 【0165】

図20は、第5の実施形態による液晶表示装置において、走査ドライバ71aの出力線GL2がグランド線に短絡してローレベルに固定された場合又は断線によって開放となった場合の動作を示すタイミングチャートである。

## 【0166】

検査入力端子Linには、パルス状の検査信号が供給される。出力線GL2のみがローレベルに固定され、それ以外の出力線GL0, GL1, GL3～GLn+1は、正常なパルス状の走査信号を順次出力する。

## 【0167】

信号線H1は、出力線GL1の信号と出力線GL2の信号との論理積の信号レベルとなるので、ローレベルを保持する。信号線H2は、出力線GL2の信号と出力線GL3の信号との論理積の信号レベルとなるので、ローレベルを保持する。信号線H1, H2等がローレベルを保持するので、トランジスタ75aのすべてがオフになり、信号線OHはローレベルを保持する。

## 【 0 1 6 8 】

信号線 O L は、出力線 G L 1, G L 2 又は G L 3 等がハイレベルのときに、検査入力端子 L i n の信号レベルと同じになる。その結果、信号線 O L は、タイミング T 2 でローレベルを保持し、それ以外のタイミング T 1, T 3 ~ T n ではパルスが現れる。端子 R S 及び S S の信号は、図 1 9 に示したものと同一である。

## 【 0 1 6 9 】

D 型フリップフロップ 8 7 のクロック端子 C K は、信号線 O H の信号と同一の信号レベルになるので、ローレベルを保持する。D 型フリップフロップ 8 7 の入力端子 D F は、リセット端子 R S のリセット信号に応じて、ローレベルを保持する。

## 【 0 1 7 0 】

入力線 A は、信号線 O H の信号の反転信号レベルになるので、ハイレベルを保持する。入力線 B は、フリップフロップ 8 7 の出力端子 Q に接続されているので、ローレベルを保持する。論理積回路 9 5 の一方の入力線 C は、信号線 A の信号と信号線 B の信号との否定論理積の信号レベルになるので、ハイレベルを保持する。その他方の入力線 D は、信号線 O L の信号と同じ信号レベルである。信号線 G は、入力線 C の信号と入力線 D の信号との論理積の信号になるので、入力線 D の信号レベルと同じになる。

## 【 0 1 7 1 】

インバータ 7 6 a の入力線 E は、端子 S S の信号がハイレベルのときにはローレベルになり、端子 S S の信号がローレベルのときには信号線 G の信号と同じ信号レベルになる。インバータ 7 6 a の出力線 F は、入力線 E の信号の反転信号レベルになる。

## 【 0 1 7 2 】

走査線 L 1 は、信号線 E がハイレベルのときに出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになるので、タイミング T 1 でパルスが現れる。走査線 L 2 は、信号線 E がハイレベルのときに出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになるが、本来パルスが現れるべきタイミング T 2 でパルスが現れない。

## 【 0 1 7 3 】

その結果、走査線  $L_1$ 、 $L_3 \sim L_n$  には、出力線  $GL_1$ 、 $GL_3 \sim GL_n$  上の正常な走査信号が供給される。しかし、走査線  $L_2$  では、出力線  $GL_2$  がグラウンド線に短絡されているために、本来パルスが現れるべきタイミング  $T_2$  でパルスが現れない。その代わり、タイミング  $T_2$  では、第 2 の走査ドライバ 71 b から表示領域 2 の走査線  $R_2$  に正常な走査信号が供給され、正常な表示が行われる。

## 【 0 1 7 4 】

図 21 は、第 5 の実施形態による液晶表示装置において、走査ドライバ 71 a の出力線  $GL_2$  が電源線に短絡してハイレベルに固定された場合の動作を示すタイミングチャートである。

## 【 0 1 7 5 】

検査入力端子  $Lin$  には、パルス状の検査信号が供給される。出力線  $GL_2$  のみがハイレベルに固定され、それ以外の出力線  $GL_0$ 、 $GL_1$ 、 $GL_3 \sim GL_n + 1$  は、正常なパルス状の走査信号を順次出力する。

## 【 0 1 7 6 】

信号線  $H_1$  は、出力線  $GL_1$  の信号と出力線  $GL_2$  の信号との論理積の信号レベルとなるので、タイミング  $T_1$  でパルスが現れる。信号線  $H_2$  は、出力線  $GL_2$  の信号と出力線  $GL_3$  の信号との論理積の信号レベルとなるので、タイミング  $T_3$  でパルスが現れる。信号線  $OH$  は、信号線  $H_1$  又は  $H_2$  がハイレベルになったときに、検査入力端子  $Lin$  の信号と同じ信号レベルになる。その結果、信号線  $OH$  は、タイミング  $T_1$  及び  $T_3$  でパルスが現れる。出力線  $GL_2$  がハイレベルに固定されているため、トランジスタ 93 a がオン状態を保持し、信号線  $OL$  には、検査入力端子  $Lin$  の信号と同じ信号が現れる。端子  $RS$  及び  $SS$  の信号は、図 19 に示したものと同一である。

## 【 0 1 7 7 】

D 型フリップフロップ 87 のクロック端子  $CK$  は、信号線  $OH$  の信号と同じ信号レベルになる。D 型フリップフロップ 87 の入力端子  $DF$  は、タイミング  $T_3$  で、クロック端子  $CK$  の信号の 2 回目の立上がりに応じて、ローレベルからハイレベルに変わる。

## 【 0 1 7 8 】

入力線 A には、信号線 O H の信号の反転信号が供給される。入力線 B は、フリップフロップ 8 7 のクロック端子 C K の信号の立上がりに応じて信号レベルが反転するため、タイミング T 1 でローレベルからハイレベルに変化し、タイミング T 3 でハイレベルからローレベルに変化する。

## 【 0 1 7 9 】

論理積回路 9 5 の一方の入力線 C は、信号線 A の信号と信号線 B の信号との否定論理積の信号レベルになるので、タイミング T 2 の期間ではローレベルを保持する。その他方の入力線 D は、信号線 O L の信号と同じ信号レベルである。信号線 G は、入力線 C の信号と入力線 D の信号との論理積の信号レベルになる。

## 【 0 1 8 0 】

インバータ 7 6 a の入力線 E は、端子 S S の信号がハイレベルのときにはローレベルになり、端子 S S の信号がローレベルのときには信号線 G の信号と同じ信号レベルになる。インバータ 7 6 a の出力線 F は、入力線 E の信号の反転信号レベルになる。

## 【 0 1 8 1 】

走査線 L 1 は、信号線 E がハイレベルのときに出力線 G L 1 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになる。同様に、走査線 L 2 は、信号線 E がハイレベルのときに出力線 G L 2 と同じ信号レベルになり、信号線 E がローレベルのときにローレベルになる。その結果、走査線 L 1 では、タイミング T 1 でパルスが現れる。しかし、走査線 L 2 では、出力線 G L 2 が電源線に短絡されているために、本来パルスが現れるべきタイミング T 2 でパルスが現れない。その代わり、タイミング T 2 では、第 2 の走査ドライバ 7 1 b の出力線 G R 2 から表示領域 2 の走査線 R 2 に正常な走査信号が供給され、正常な表示が行われる。

## 【 0 1 8 2 】

第 5 の実施形態によれば、第 1 又は第 2 の走査ドライバ 7 1 a , 7 1 b の出力線がグランド線に短絡等してローレベルに固定された欠陥が生じたとしても、出力線が電源線に短絡等してハイレベルに固定された欠陥が生じたとしても、いず

れの欠陥であってもそれらの欠陥を検出し、自動的に修復することができる。これにより、液晶表示装置は、全ラインについて正常な表示を行うことができる。

## 【 0 1 8 3 】

なお、第5の実施形態による液晶表示装置（図17）に、第4の実施形態による液晶表示装置の判定手段72a（図13）を適用してもよい。その場合、例えば、第1の走査ドライバ71aの出力線のうちの隣接する2本以上の出力線がハイレベル又はローレベルに固定された場合に、第1の走査ドライバ71aのすべての出力線GL1～GLnと表示領域2のすべての走査線L1～Lnとの間をスイッチングトランジスタにより切断し、第2の走査ドライバ71bから表示領域2のすべての走査線R1～Rnに走査信号を供給することができる。

## 【 0 1 8 4 】

以上のように、第1及び第2の実施形態によれば、走査ドライバの出力線がグランド線に短絡等してローレベルに固定された場合又は断線等により開放になった場合に、その固定又は開放された出力線を検出し、自動的に修復することができる。第3及び第4の実施形態によれば、走査ドライバの出力線が電源線に短絡等してハイレベルに固定された場合に、その固定された出力線を検出し、自動的に修復することができる。第5の実施形態によれば、走査ドライバの出力線がグランド線又は電源線に短絡等してローレベル又はハイレベルに固定された場合又は断線等により開放された場合に、その固定又は開放された出力線を検出し、自動的に修復することができる。

## 【 0 1 8 5 】

第4の実施形態によれば、スイッチングトランジスタは、判定手段により、第1の走査ドライバの隣接する2以上の出力線の電位が固定されていると判定されたときには、第1の走査ドライバのすべての出力線と表示領域のすべての走査線との間の接続を切断し、第2の走査ドライバから表示領域にすべての走査信号を供給することができる。また、第2の走査ドライバの隣接する2以上の出力線の電位が固定されていると判定されたときには、第2の走査ドライバのすべての出力線と表示領域のすべての走査線との間の接続を切断し、第1の走査ドライバから表示領域にすべての走査信号を供給することができる。これにより、液晶表示

装置は、正常な表示を行うことができる。

【 0 1 8 6 】

第 1 ～ 第 5 の実施形態によれば、第 1 又は第 2 の走査ドライバの出力線の電位が固定されているときには、該固定されている出力線と表示領域の走査線との間の接続のみを切断することが可能になる。例えば、第 1 の走査ドライバの出力線と表示領域の走査線との間の接続が切断されたときには、表示領域の走査線には第 2 の走査ドライバの出力線から正常な走査信号が供給される。第 1 又は第 2 の走査ドライバのすべての出力線と表示領域のすべての走査線との間の接続を切断するのではなく、電位が固定されている出力線と表示領域の走査線との間の接続のみを切断することができるので、第 1 又は第 2 の走査ドライバの正常な出力線と表示領域の走査線との間は接続され、正常な表示を行うことができる。また、第 1 の走査ドライバと第 2 の走査ドライバとで、個別に出力線の電位が固定されているか否かを判定し、必要に応じて個別に出力線と走査線との間の接続を切断するので、図 2 5 及び図 2 6 に示した様な欠陥であっても修復することができる。すなわち、第 1 又は第 2 の走査ドライバと表示領域の両方に欠陥がある場合や、第 1 及び第 2 の走査ドライバと表示領域とに欠陥がある場合等のように、複数箇所に欠陥がある場合でも、確実に欠陥を検出して自動的に修復することが可能になり、正常な表示を行うことができる。

【 0 1 8 7 】

また、上記の自動修復が可能であるので、液晶表示装置の歩留まりを上げることができ、生産性を向上し、液晶表示装置の価格を下げるができる。

【 0 1 8 8 】

なお、第 1 及び第 2 の走査ドライバの走査信号の良否を判定し、その判定結果に応じて出力線と走査線との間の接続を切断する場合を説明したが、同様の構成を第 1 及び第 2 のデータドライバに適用してもよい。すなわち、第 1 及び第 2 のデータドライバは同じデータ信号を表示領域に供給し、第 1 及び第 2 のデータドライバのデータ信号の良否を判定し、その判定結果に応じてデータドライバと表示領域との間のデータ線の接続を切断してもよい。

【 0 1 8 9 】

上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 0 1 9 0 】

本発明の様々な形態をまとめると、以下のようになる。

(付記 1) 複数の走査線を有する表示部と、

前記表示部の走査線に走査信号を供給するための出力線を有する走査ドライバと、

前記走査ドライバから供給される前記走査信号の良否を判定し、該判定結果を出力する判定手段と、

前記判定手段により、不良と判定された走査信号を供給する出力線と前記表示部の走査線との間の接続を切断するスイッチング手段とを備えたことを特徴とする表示装置。

【 0 1 9 1 】

(付記 2) 前記判定手段は、前記走査ドライバの出力線のうちの一又は複数の出力線の電位がグランド電位に固定されているか否かを判定し、

前記スイッチング手段は、前記判定手段により、前記走査ドライバの出力線のうちの一又は複数の出力線の電位がグランド電位に固定されていると判定されたときには、該固定されている電位の出力線と前記表示部の走査線との間の接続を切断することを特徴とする付記 1 記載の表示装置。

【 0 1 9 2 】

(付記 3) 前記判定手段は、前記走査ドライバの出力線のうちの一又は複数の出力線の電位が電源電位に固定されているか否かを判定し、

前記スイッチング手段は、前記判定手段により、前記走査ドライバの出力線のうちの一又は複数の出力線の電位が電源電位に固定されていると判定されたときには、該固定されている電位の出力線と前記表示部の走査線との間の接続を切断することを特徴とする付記 1 記載の表示装置。

【 0 1 9 3 】



（付記 4）前記判定手段は、前記走査ドライバの出力線のうちの一又は複数の出力線が開放されているか否かを判定し、

前記スイッチング手段は、前記判定手段により、前記走査ドライバの出力線のうちの一又は複数の出力線が開放されていると判定されたときには、該開放されている電位の出力線と前記表示部の走査線との間の接続を切断することを特徴とする付記 1 記載の表示装置。

【0194】

（付記 5）前記スイッチング手段は、前記判定手段により、前記走査ドライバの隣接する 2 以上の出力線の走査信号が不良と判定されたときには、前記走査ドライバのすべての出力線と前記表示部のすべての走査線との間の接続を切断することを特徴とする付記 1 記載の表示装置。

【0195】

（付記 6）前記判定手段は、ゲート、ソース及びドレインを含む検査用トランジスタであって前記走査ドライバの出力線上の走査信号に応じた信号が該ゲートに供給される検査用トランジスタと、前記検査用トランジスタのゲートに供給される信号に応じて前記検査用トランジスタのソース及びドレイン間に検査信号が伝達されるか否かを調べることにより、前記走査ドライバの出力線の走査信号が不良か否かを判定する判定部とを有することを特徴とする付記 1 記載の表示装置。

【0196】

（付記 7）前記検査用トランジスタのゲートには、前記走査ドライバの出力線が接続されることを特徴とする付記 6 記載の表示装置。

【0197】

（付記 8）前記判定手段は、前記走査ドライバの隣接する 2 つの出力線上の走査信号の論理積を演算する論理積回路をさらに含み、前記検査用トランジスタのゲートには、前記論理積回路の出力が接続されることを特徴とする付記 6 記載の表示装置。

【0198】

（付記 9）前記スイッチング手段は、前記走査ドライバの出力線と前記表示部の走査線との間の接続を切断するためのトランジスタを含むことを特徴とする付記

6 記載の表示装置。

【 0 1 9 9 】

（付記 1 0）前記スイッチング手段は、前記出力線と前記走査線との間の接続を切断するための n チャンネル MOS トランジスタ及び p チャンネル MOS トランジスタからなる CMOS トランジスタを含むことを特徴とする付記 9 記載の表示装置。

【 0 2 0 0 】

（付記 1 1）前記 n チャンネル MOS トランジスタのゲートには、前記判定手段の出力が供給され、前記 p チャンネル MOS トランジスタのゲートには、前記判定手段の出力の論理反転信号が供給され、前記 n チャンネル及び p チャンネル MOS トランジスタのソース及びドレインには、前記走査ドライバの出力線及び前記表示部の走査線が接続されることを特徴とする付記 1 0 記載の表示装置。

【 0 2 0 1 】

（付記 1 2）前記表示部、前記走査ドライバ、前記判定手段、並びに前記スイッチング手段は、同一基板上に一体化して形成されることを特徴とする付記 9 記載の表示装置。

【 0 2 0 2 】

（付記 1 3）前記基板は、ガラス基板であることを特徴とする付記 1 2 記載の表示装置。

【 0 2 0 3 】

（付記 1 4）前記表示部はトランジスタを含み、該表示部内のトランジスタ、前記判定手段内の検査用トランジスタ及び前記スイッチング手段内のトランジスタは、ポリシリコン薄膜トランジスタであることを特徴とする付記 1 3 記載の表示装置。

【 0 2 0 4 】

（付記 1 5）前記表示部は、複数の走査線及び複数のデータ線を有し、  
前記表示部のデータ線に接続され、前記表示部にデータ信号を供給するための第 1 及び第 2 のデータドライバをさらに備えたことを特徴とする付記 1 記載の表示装置。

【 0 2 0 5 】

（付記 1 6）前記第 1 及び／又は第 2 のデータドライバから供給される前記データ信号の良否を判定し、該判定結果を出力するデータ信号判定手段と、

前記データ信号判定手段により不良と判定されたデータ信号を供給するデータ線と前記表示部のデータ線との間の接続を切断するデータ線スイッチング手段とをさらに備えたことを特徴とする付記 1 5 記載の表示装置。

【 0 2 0 6 】

（付記 1 7）前記表示部は、複数の走査線及び複数のデータ線を有し、

前記表示部のデータ線に接続され、前記表示部にデータ信号を供給するためのデータドライバをさらに備えたことを特徴とする付記 1 記載の表示装置。

【 0 2 0 7 】

（付記 1 8）前記データドライバは、前記表示部の一部のデータ線にデータ信号を供給する第 1 のデータドライバ部と、前記表示部の残りのデータ線にデータ信号を供給する第 2 のデータドライバ部とを含むことを特徴とする付記 1 7 記載の表示装置。

【 0 2 0 8 】

（付記 1 9）複数の走査線を有する表示部と、前記表示部の走査線に走査信号を供給するための出力線を有する走査ドライバとを備えた表示装置の駆動方法であって、

（a）前記走査ドライバから供給される前記走査信号の良否を判定するステップと、

（b）前記走査信号が不良と判定された走査信号を供給する出力線と前記表示部の走査線との間の接続を切断するステップとを備えたことを特徴とする表示装置の駆動方法。

【 0 2 0 9 】

【発明の効果】

以上説明したように本発明によれば、走査ドライバに欠陥がある場合や、走査ドライバと表示部に欠陥がある場合等のように複数箇所に欠陥がある場合でも、自動的に修復することが可能になり、正常な表示を行うことができる。また、表

示装置の自動修復が可能であるので、表示装置の歩留まりを上げることができ、生産性を向上し、表示装置の価格を下げるができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態による液晶表示装置の構成例を示すブロック図である。

【図 2】

表示領域の構成を示す回路図である。

【図 3】

データドライバの構成を示す回路図である。

【図 4】

図 4 (A) はクロックインバータを示す図であり、図 4 (B) はクロックインバータの構成を示す回路図である。

【図 5】

図 5 (A) は走査ドライバの構成を示す回路図であり、図 5 (B) は走査ドライバの動作を示すタイミングチャートである。

【図 6】

第 1 の実施形態による判定手段及びその周辺部分の回路図である。

【図 7】

第 1 の実施形態による液晶表示装置の動作を示すタイミングチャートである。

【図 8】

本発明の第 2 の実施形態による液晶表示装置の構成例を示すブロック図である。

【図 9】

本発明の第 3 の実施形態による液晶表示装置の構成例を示すブロック図である。

【図 1 0】

第 3 の実施形態による判定手段及びその周辺部分の回路図である。

【図 1 1】

第 3 の実施形態による液晶表示装置が正常な場合の動作を示すタイミングチャートである。

【図 1 2】

第 3 の実施形態による液晶表示装置の走査ドライバ内の走査線がハイレベルに固定された場合の動作を示すタイミングチャートである。

【図 1 3】

本発明の第 4 の実施形態による液晶表示装置の判定手段及びその周辺部分の回路図である。

【図 1 4】

第 4 の実施形態による液晶表示装置が正常な場合の動作を示すタイミングチャートである。

【図 1 5】

第 4 の実施形態による液晶表示装置の走査ドライバ内の走査線がハイレベルに固定された場合の動作を示すタイミングチャートである。

【図 1 6】

第 4 の実施形態による液晶表示装置の走査ドライバ内の隣接する 2 本の走査線がハイレベルに固定された場合の動作を示すタイミングチャートである。

【図 1 7】

本発明の第 5 の実施形態による液晶表示装置の構成例を示すブロック図である。

【図 1 8】

第 5 の実施形態による判定手段及びその周辺部分の回路図である。

【図 1 9】

第 5 の実施形態による液晶表示装置が正常な場合の動作を示すタイミングチャートである。

【図 2 0】

第 5 の実施形態による液晶表示装置の走査ドライバ内の走査線がローレベルに固定された場合の動作を示すタイミングチャートである。

【図 2 1】

第 5 の実施形態による液晶表示装置の走査ドライバ内の走査線がハイレベルに固定された場合の動作を示すタイミングチャートである。

【図 2 2】

第 1 の従来例による液晶表示装置の表示領域に欠陥がある場合を示す図である。

【図 2 3】

第 1 の従来例による液晶表示装置の走査ドライバに欠陥がある場合を示す図である。

【図 2 4】

第 2 の従来例による液晶表示装置の走査ドライバに欠陥がある場合を示す図である。

【図 2 5】

第 2 の従来例による液晶表示装置の表示領域及び走査ドライバに欠陥がある場合を示す図である。

【図 2 6】

第 2 の従来例による液晶表示装置の表示領域並びに第 1 及び第 2 の走査ドライバに欠陥がある場合を示す図である。

【図 2 7】

第 3 の従来例による液晶表示装置の構成を示すブロック図である。

【符号の説明】

1 ガラス基板

2, 1 0 0 表示領域 (表示部)

3 a, 3 b, 1 0 2 a, 1 0 2 b データドライバ

4 a, 4 b, 7 1 a, 7 1 b, 1 0 1 a, 1 0 1 b 走査ドライバ

5 a, 5 b, 7 2 a, 7 2 b, 9 4 a, 9 4 b 判定手段

7 a, 7 b, 8 a, 8 b, 1 4 a, 1 4 b, 2 1, 3 4, 4 3, 4 4, 7 5 a, 7 5 b, 7 7 a, 7 7 b, 8 6, 9 2, 9 3 a, 9 3 b, 1 1 1 a, 1 1 1 b, 1 2 1 a, 1 2 1 b, 1 3 2 nチャネルMOSトランジスタ

1 0, 1 1, 1 0 4, 1 1 2, 1 1 3, 1 1 5, 1 1 6 短絡ポイント

12, 103, 114, 117 断線ポイント  
13a, 13b, 36, 74a, 74b, 76a, 76b, 52, 55, 61,  
62, 82, 88, 135 インバータ  
15a, 15b, 35, 78a, 78b, 41, 42, 90 pチャネルMOS  
トランジスタ  
22 画素電極  
31 シフトレジスタ  
32 ビデオアナログ線  
33 アナログスイッチ  
51, 53, 54, 56, 81, 83 クロックドインバータ  
57, 58, 84, 85a, 95, 136 論理積回路  
73a, 73b, 89 NAND回路  
87 D型フリップフロップ  
133 N進カウンタ  
134 ラッチ回路

特 2 0 0 0 - 2 1 1 6 6 1

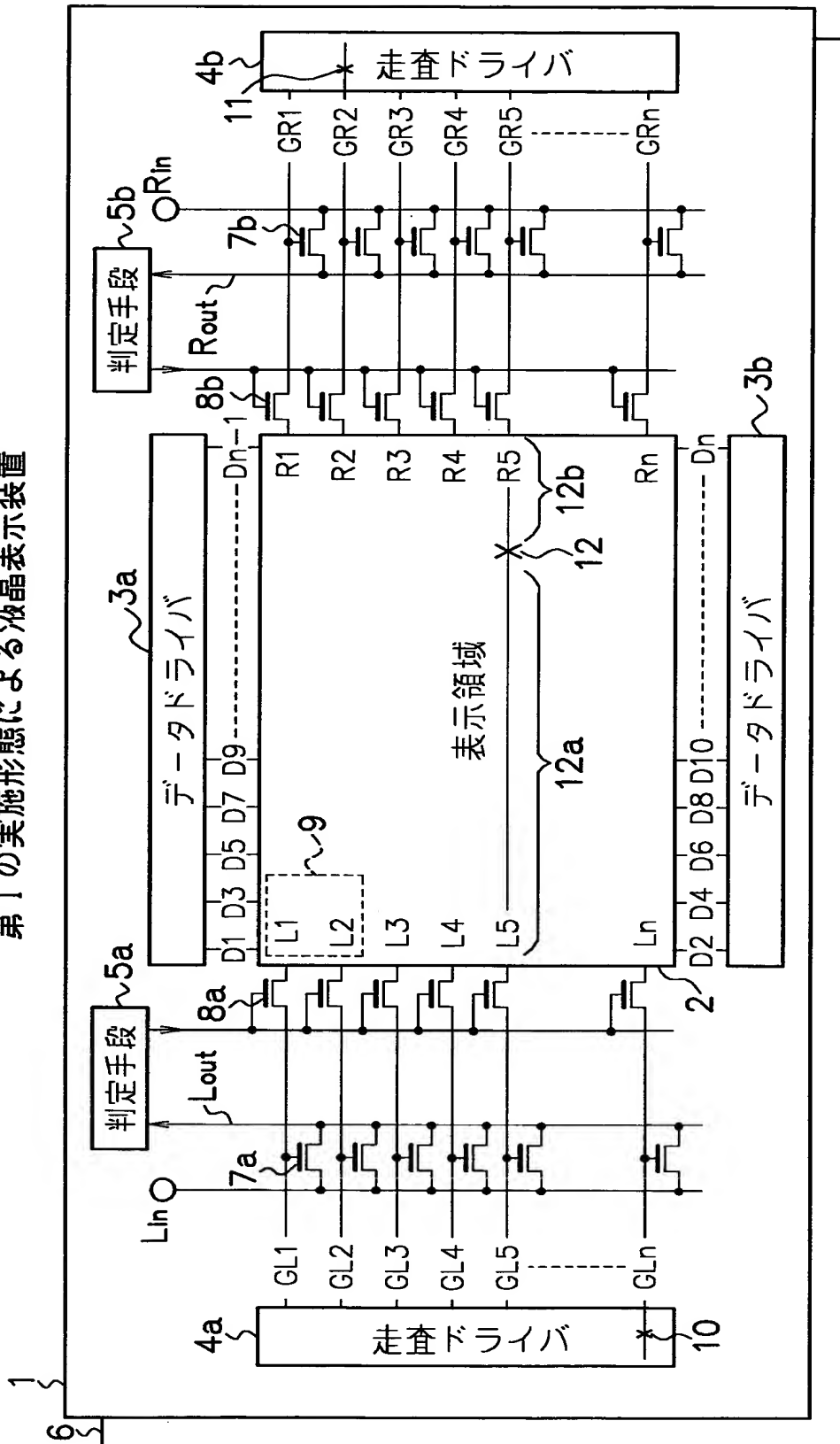
【書類名】

図面

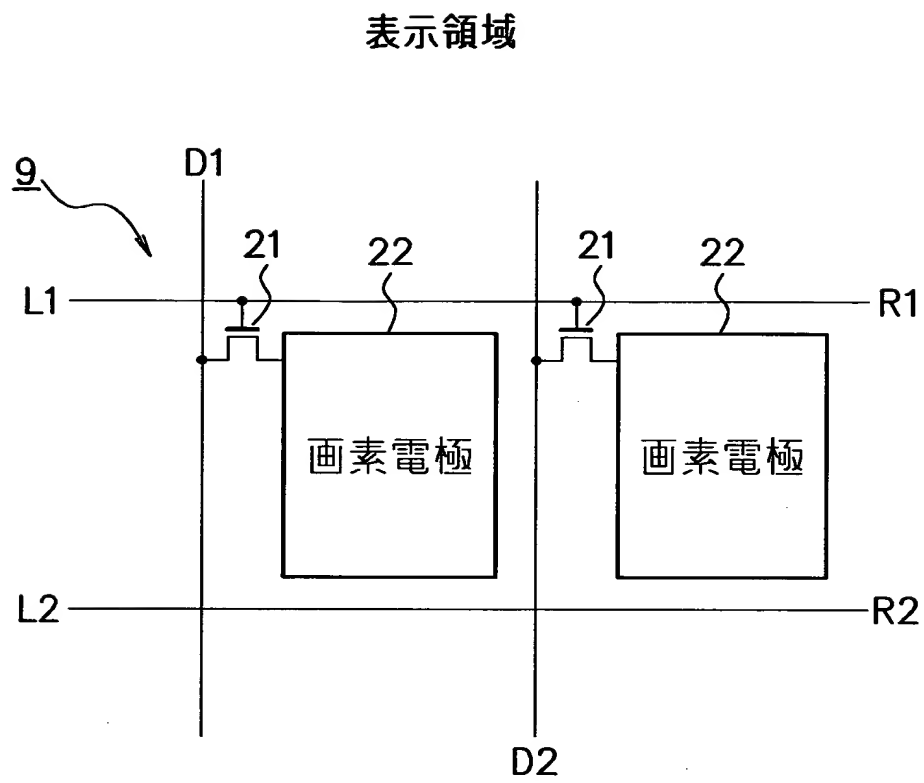


【図 1】

第 1 の実施形態による液晶表示装置

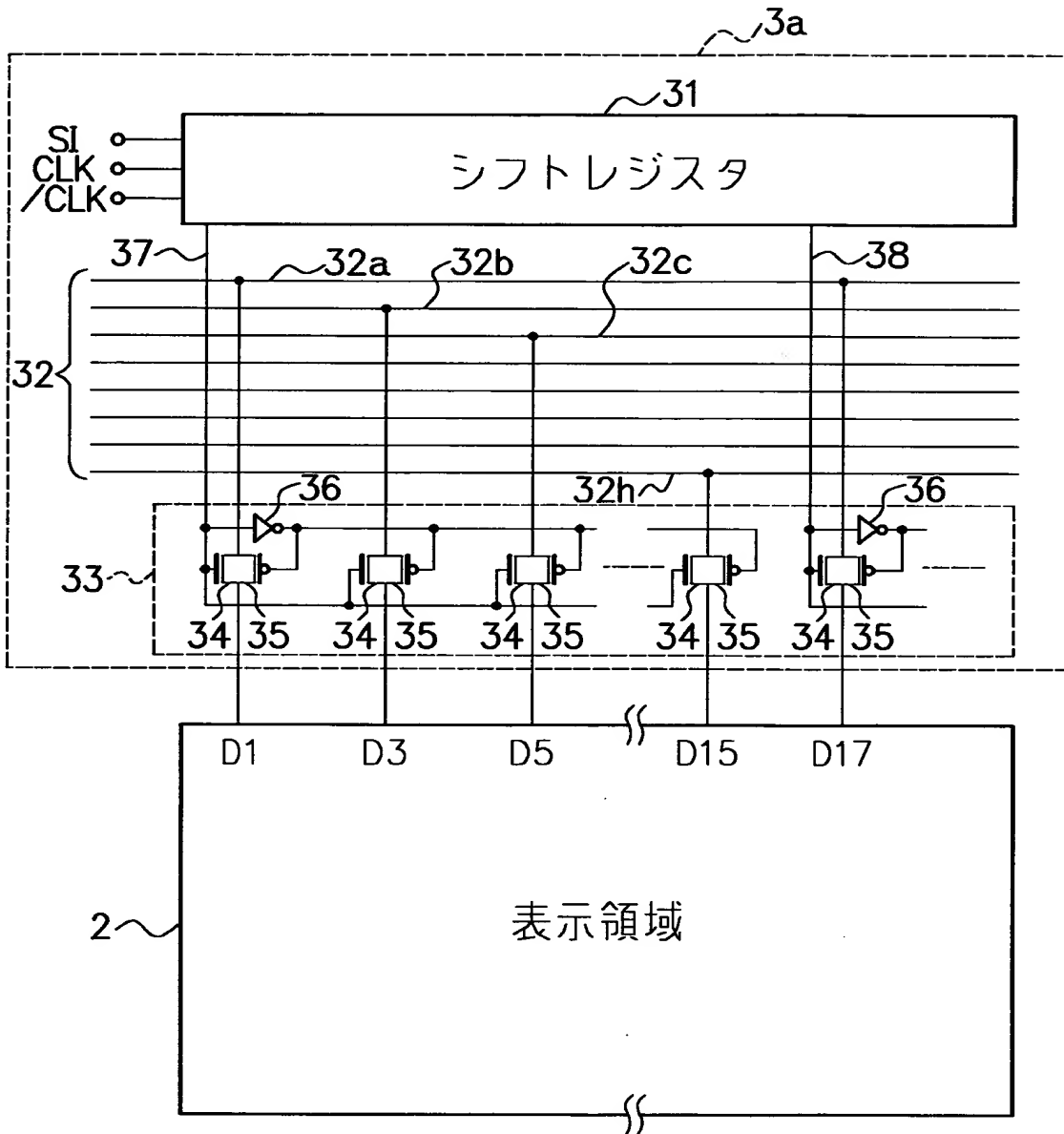


【図 2】



【図 3】

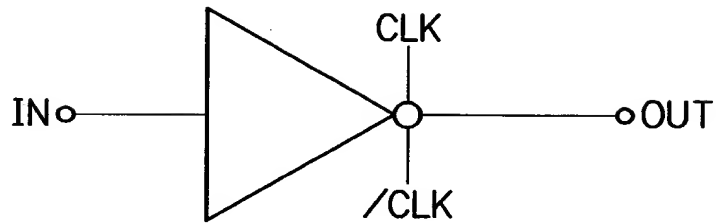
データドライバ



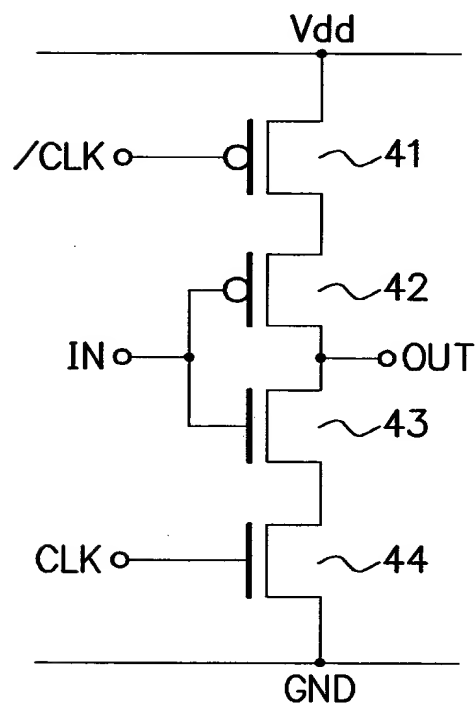
【図 4】

クロックインバータ

(A)



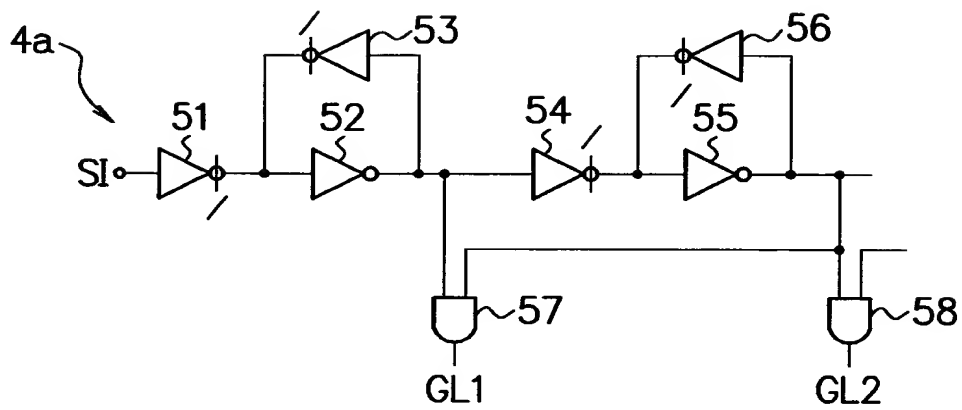
(B)



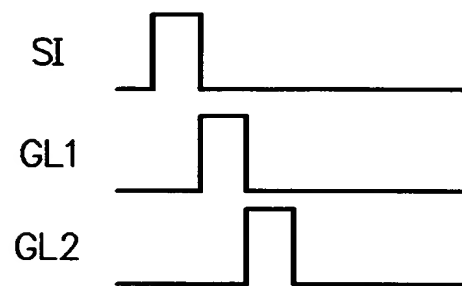
【図 5】

走査ドライバ（シフトレジスタ）

(A)

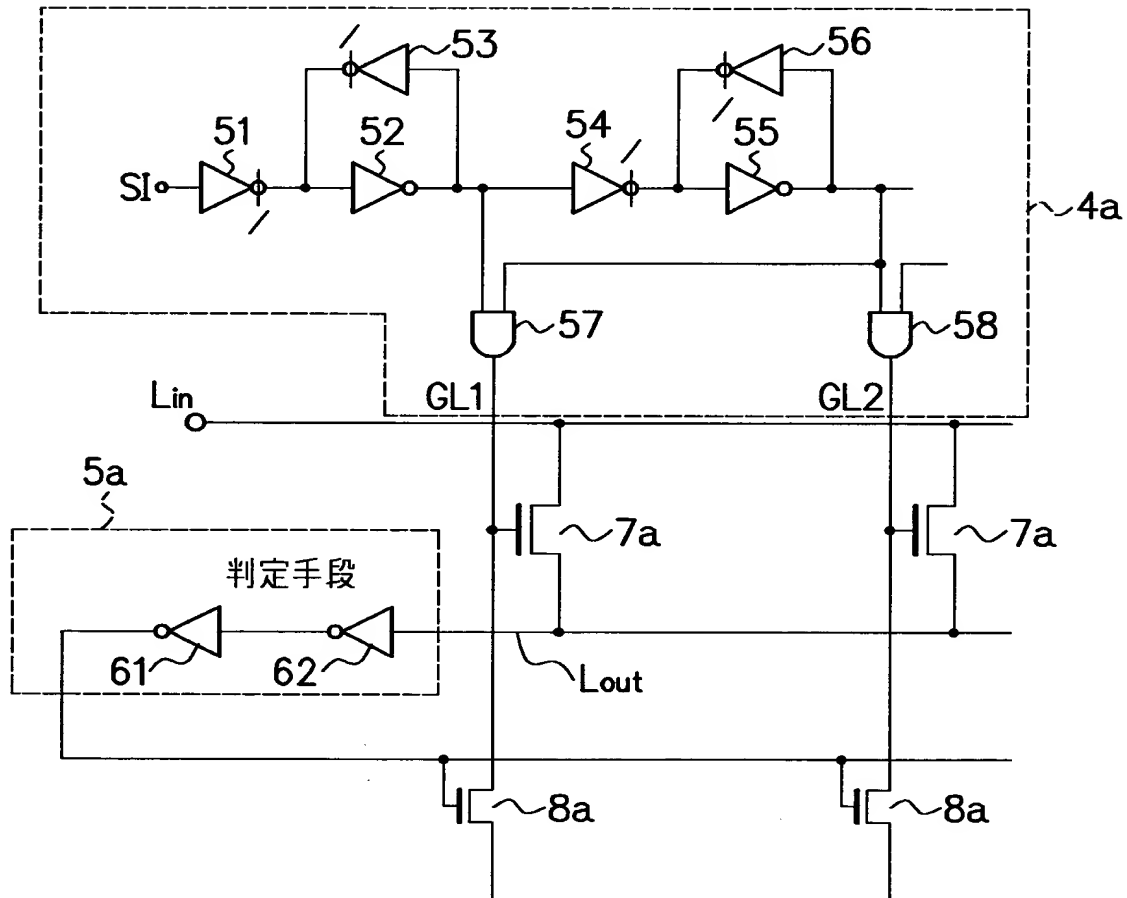


(B)



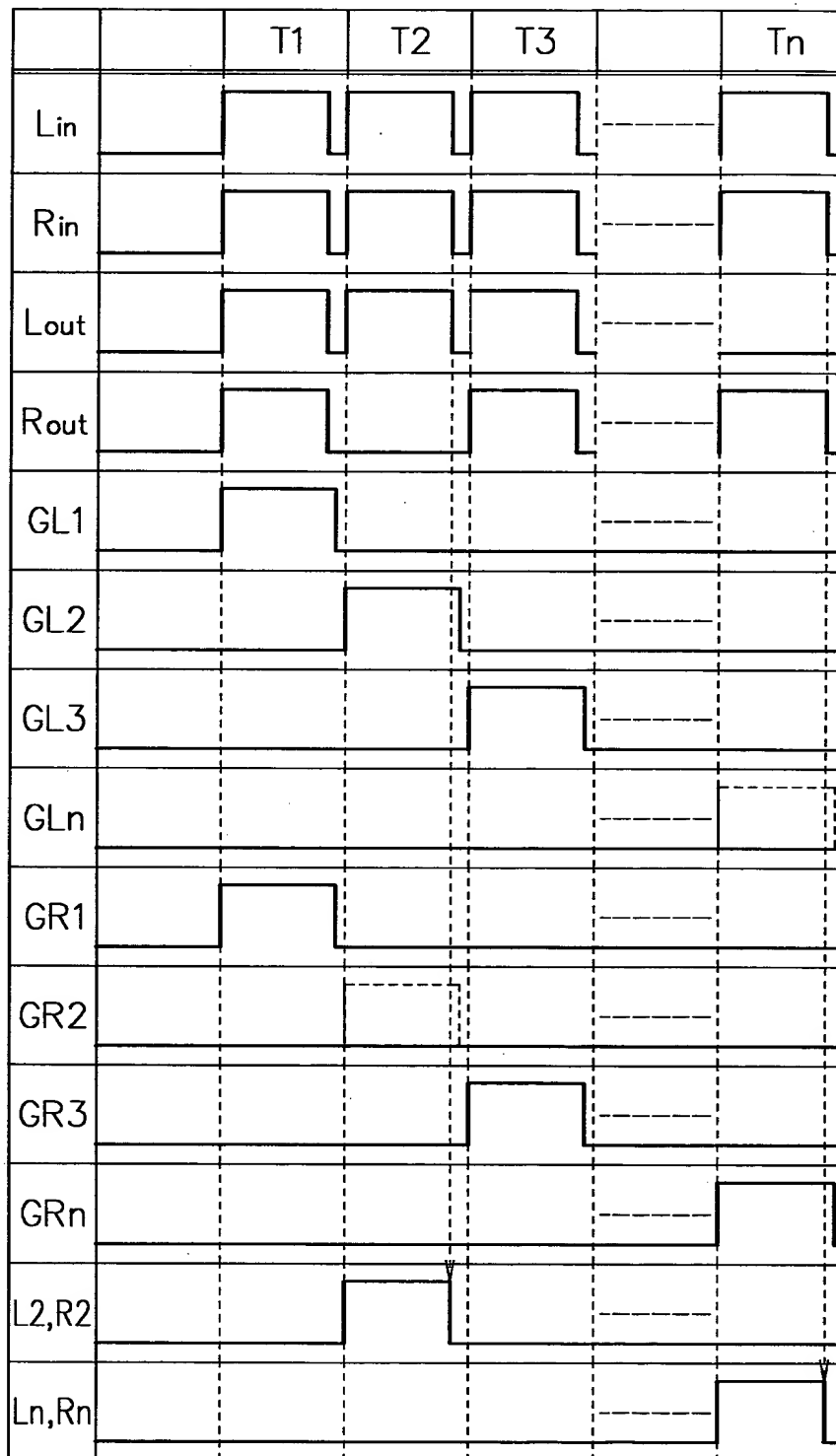
【図 6】

判定手段及びその周辺部分の回路図



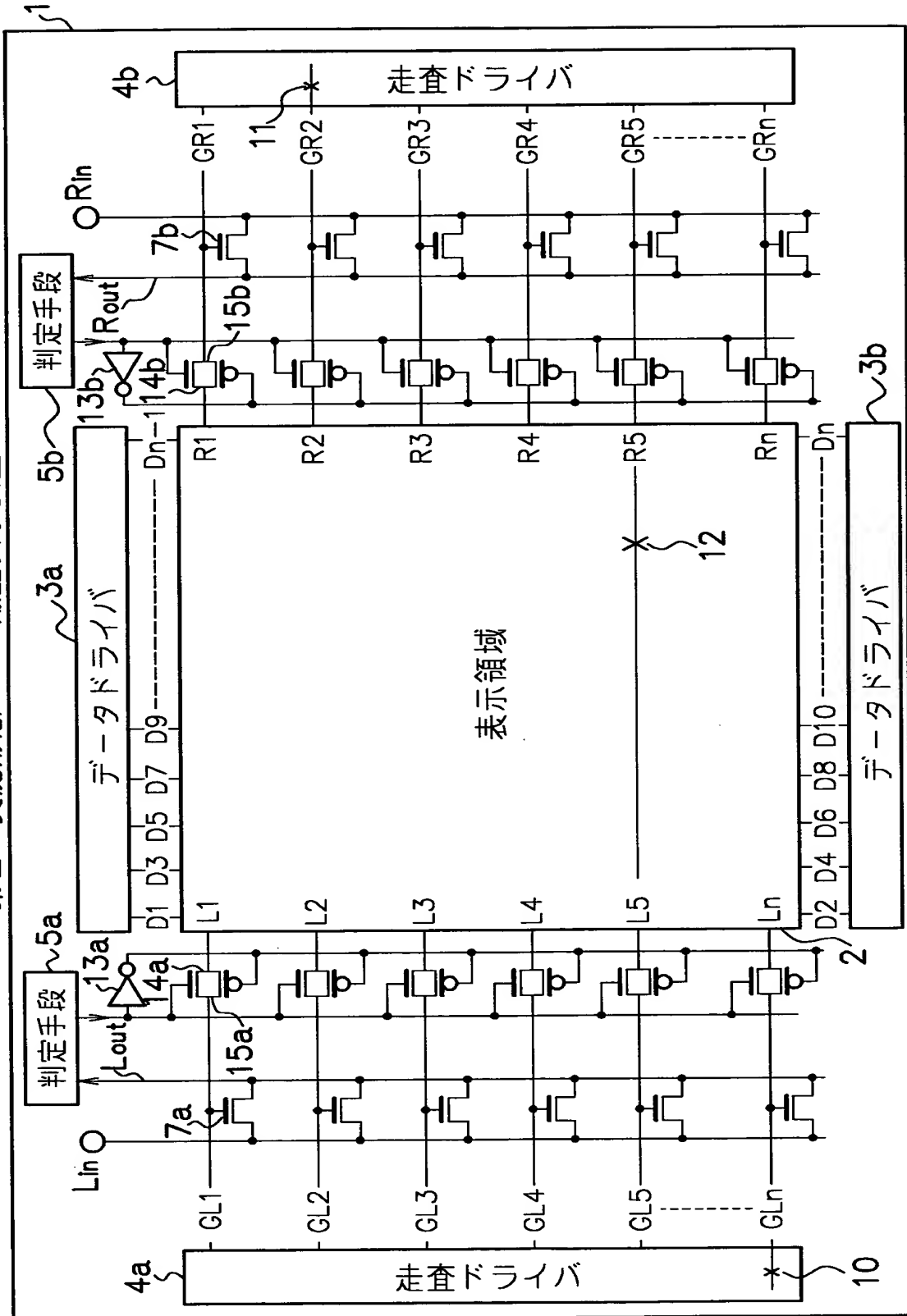
【図 7】

G L n 及び G R 2 が L 固定の場合のタイミングチャート



【図8】

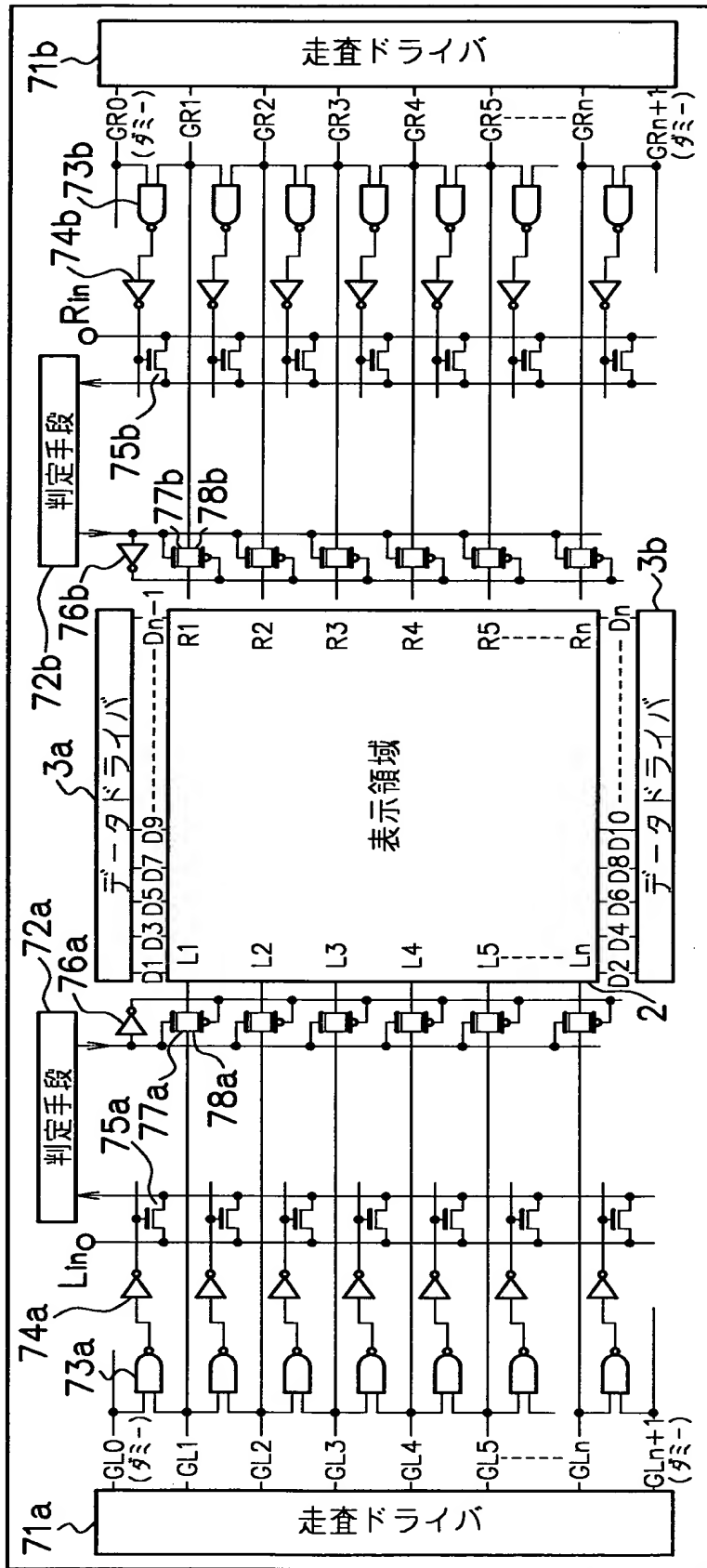
第2の実施形態による液晶表示装置





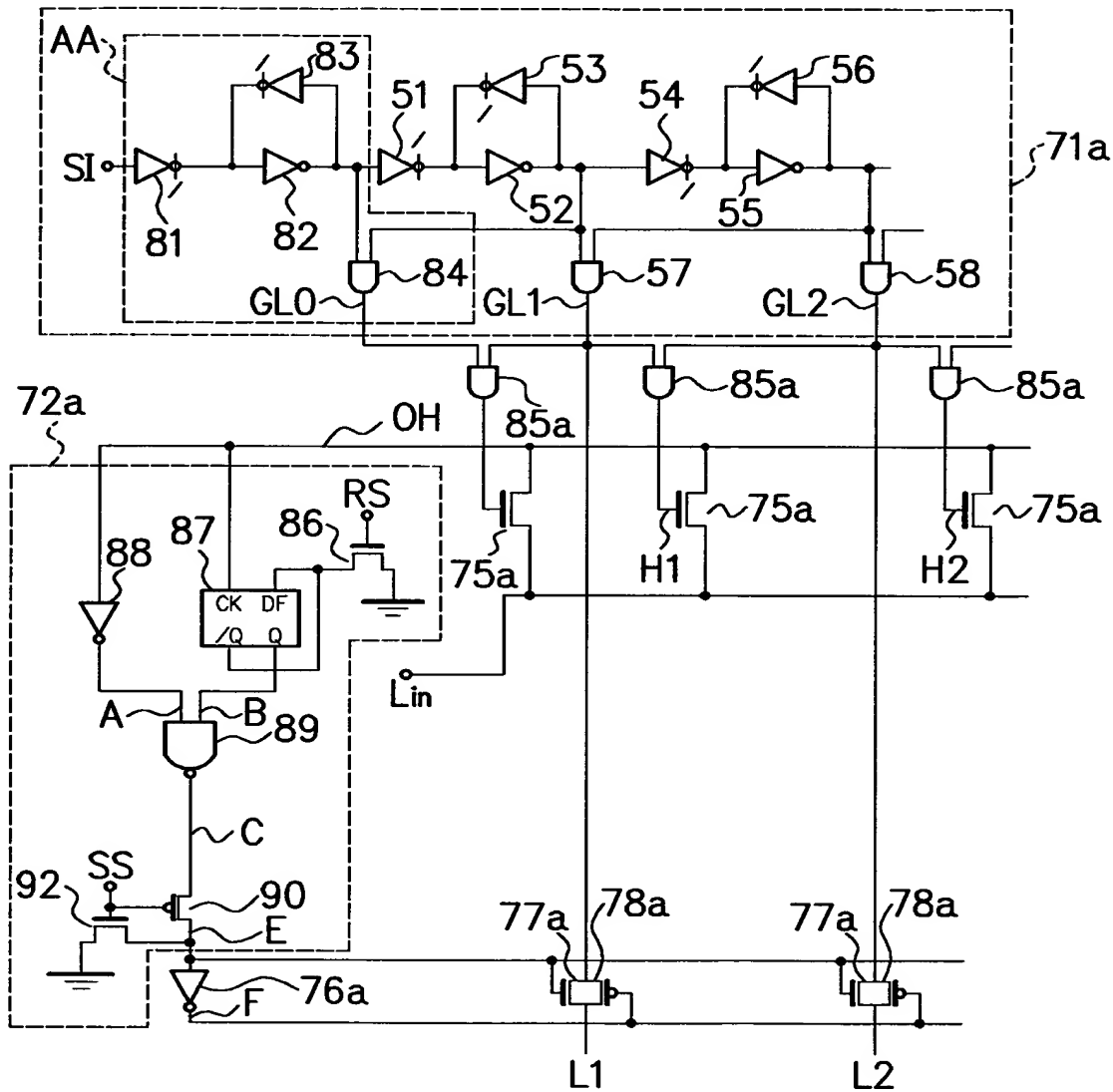
【図9】

第3の実施形態による液晶表示装置



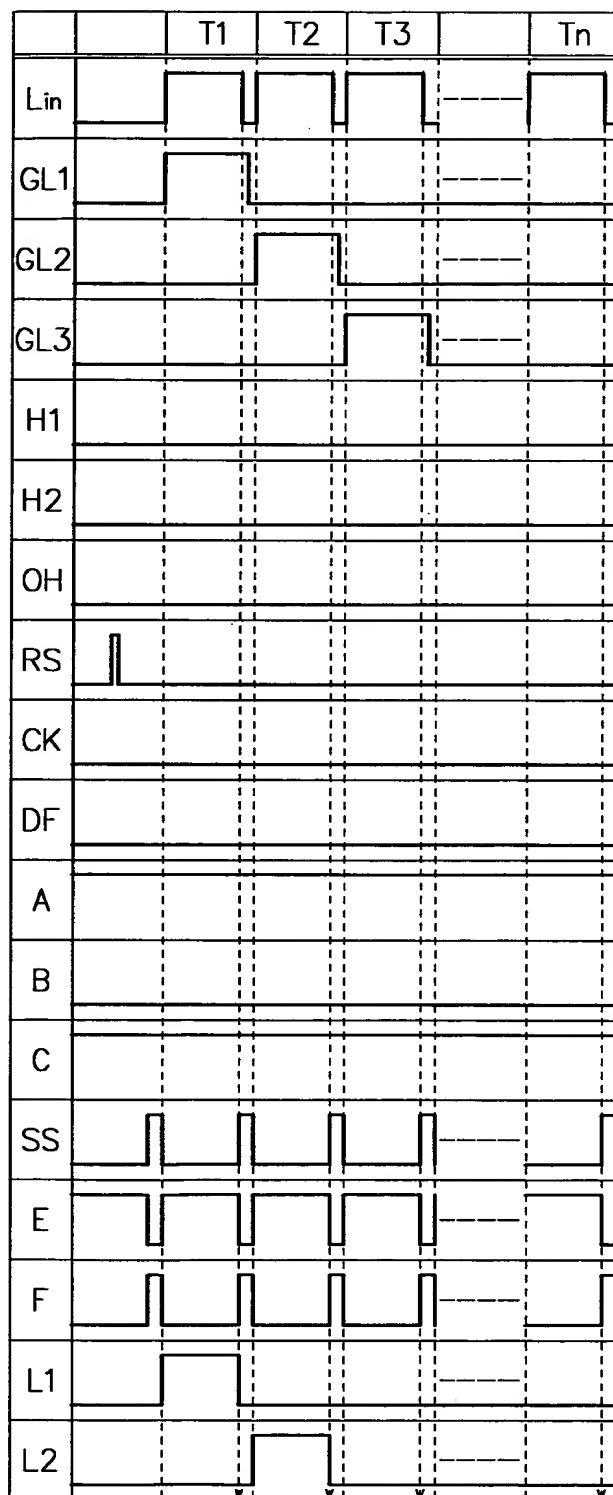
【図 10】

### 判定手段及びその周辺部分の回路図



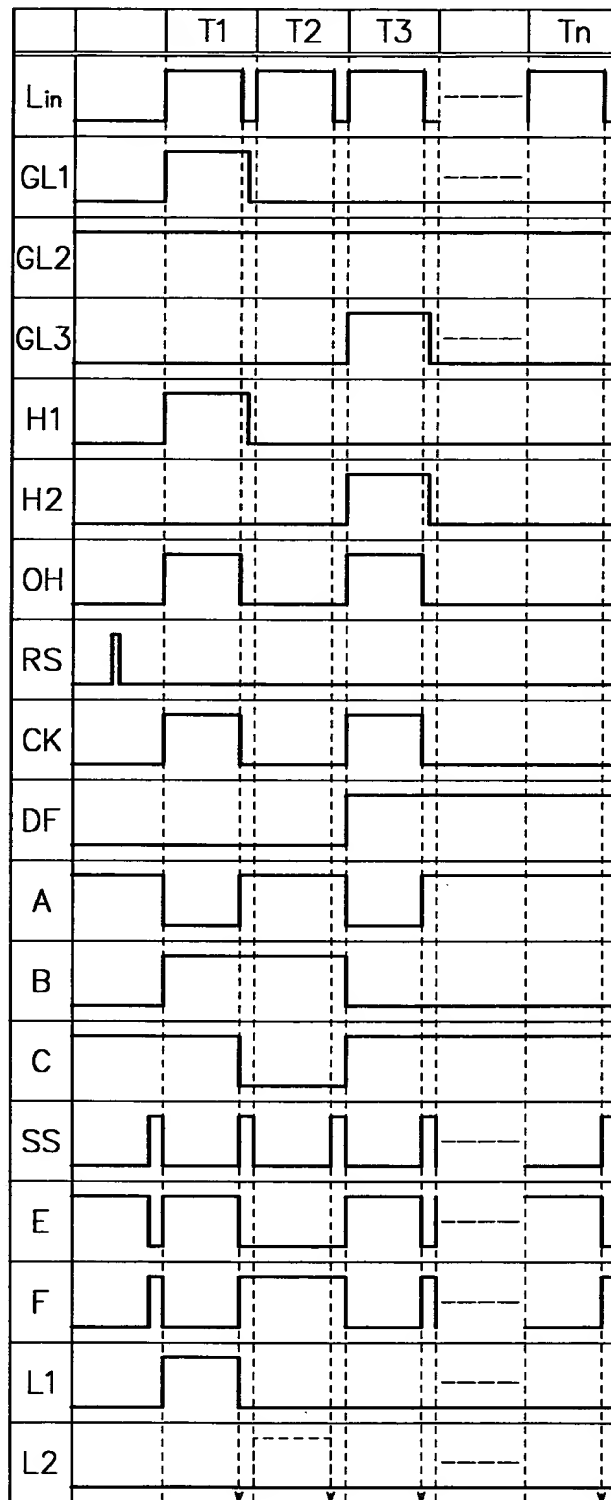
【図 1 1】

正常な場合のタイミングチャート



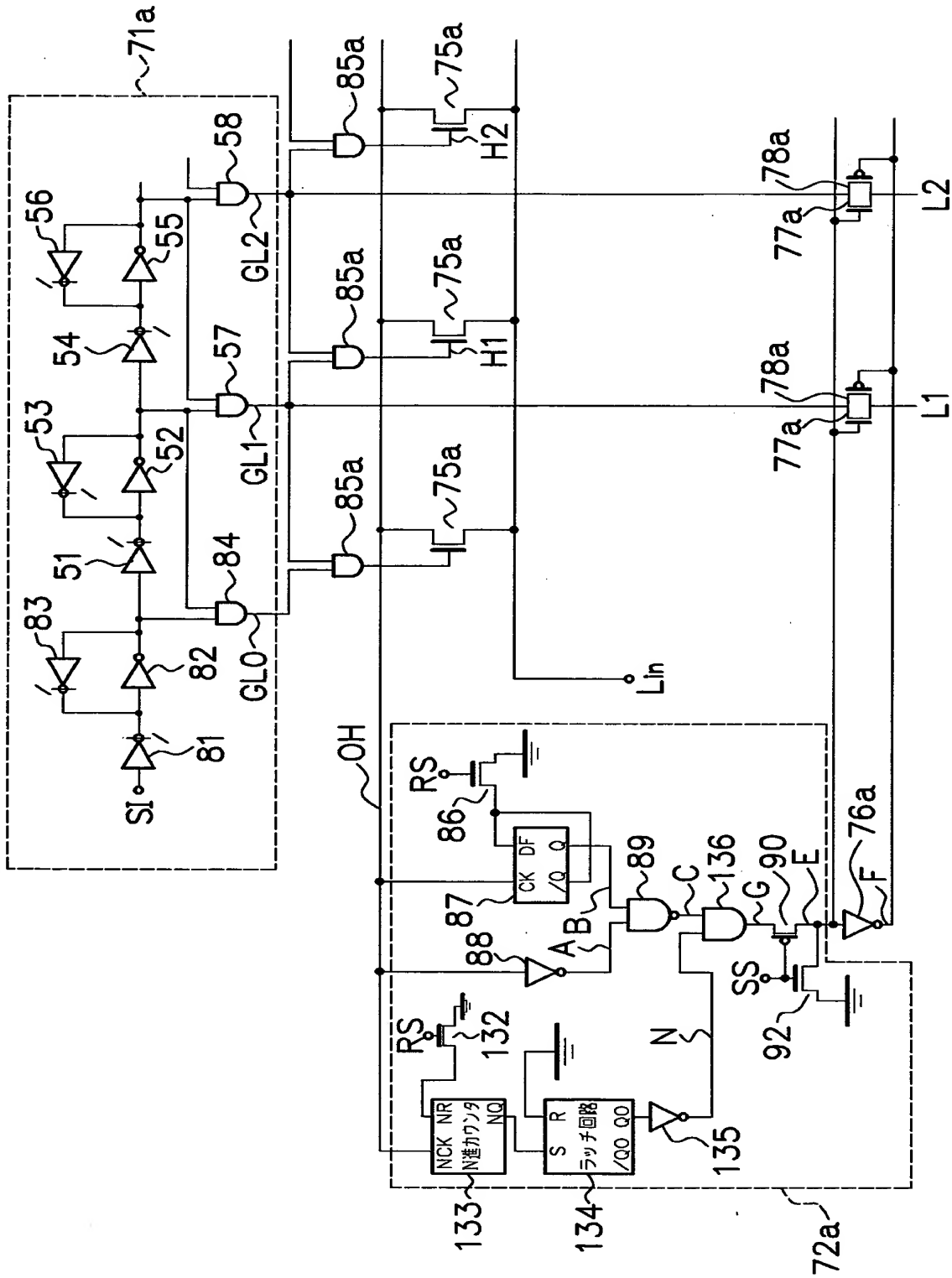
【図 1 2】

GL2がH固定の場合のタイミングチャート



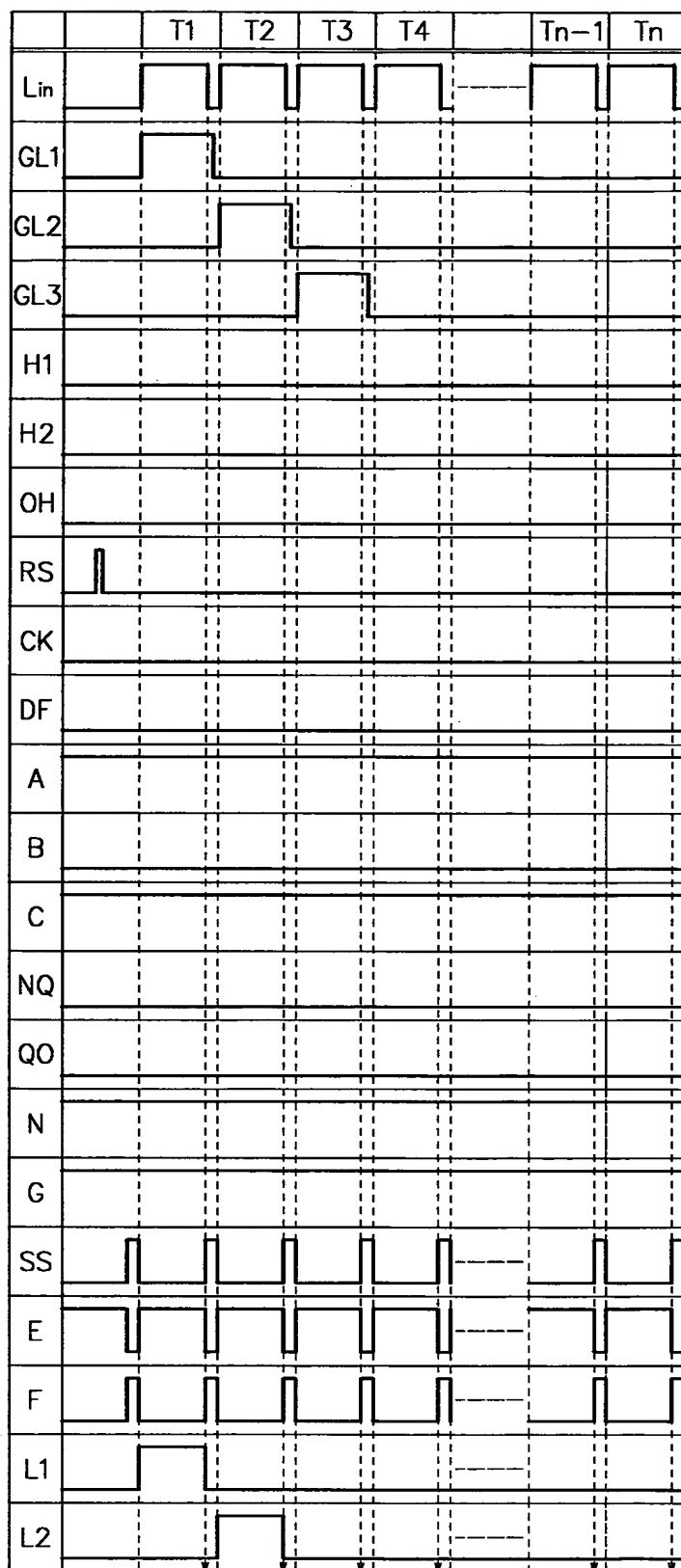
【図 13】

第4の実施形態による判定手段及びその周辺部分の回路図



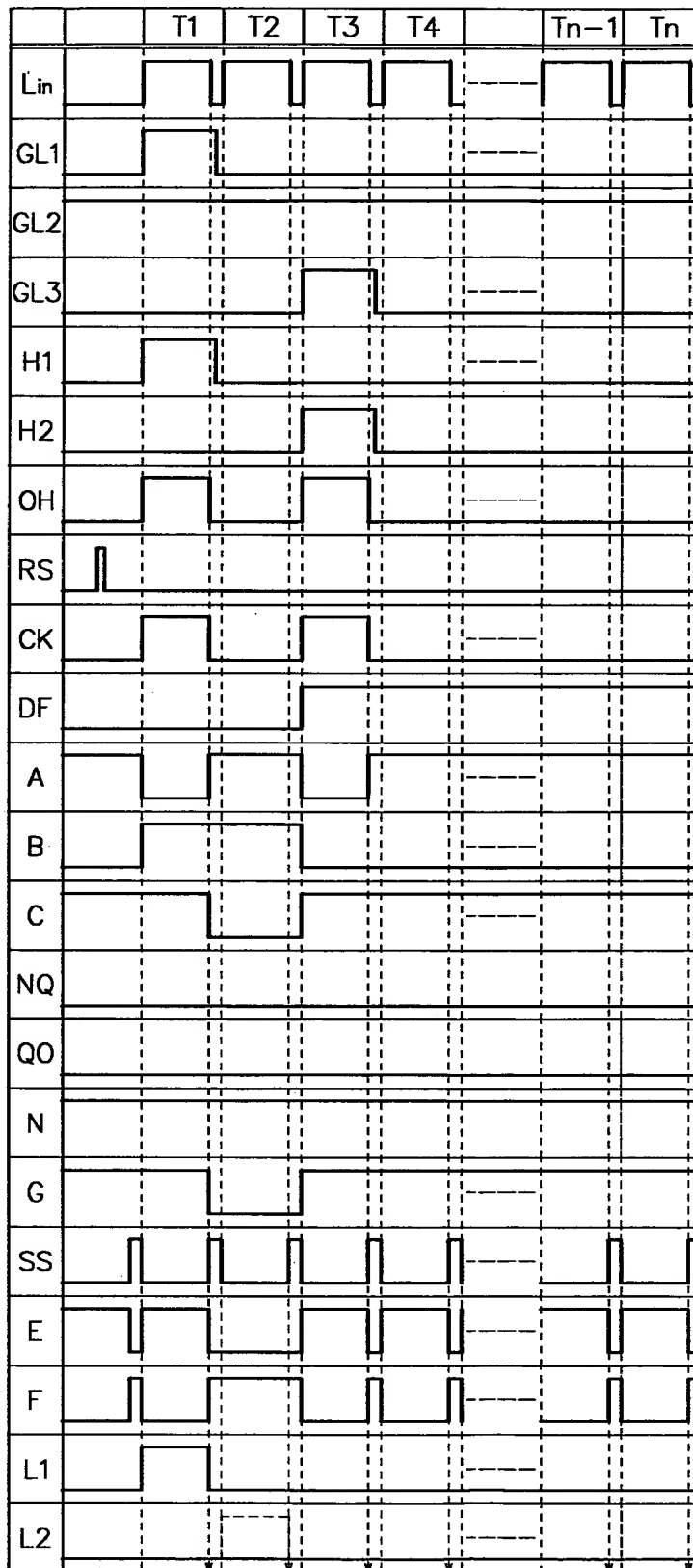
【図 1 4】

正常な場合のタイミングチャート



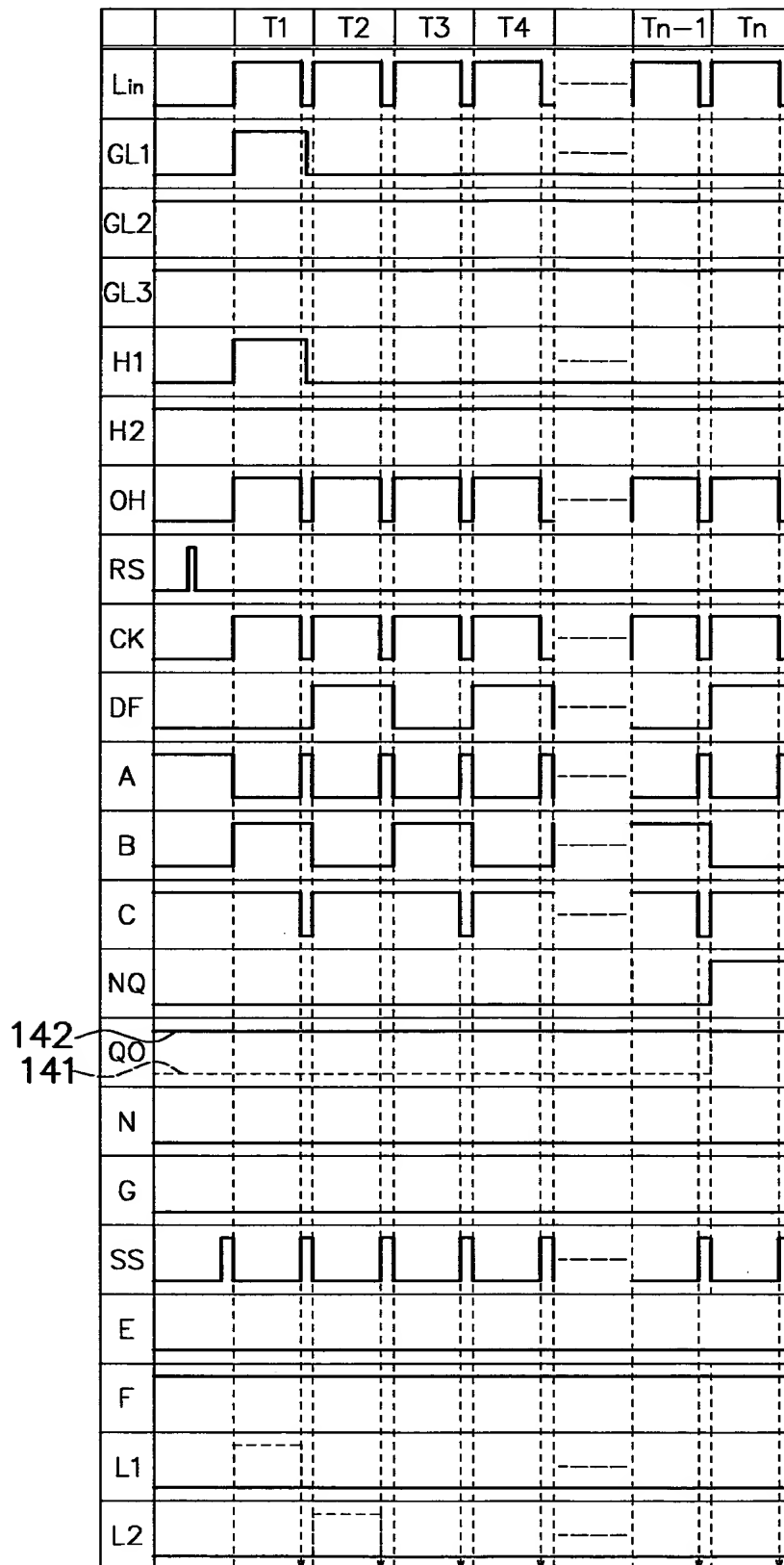
【図 1 5】

GL2がH固定の場合のタイミングチャート



【図 1 6】

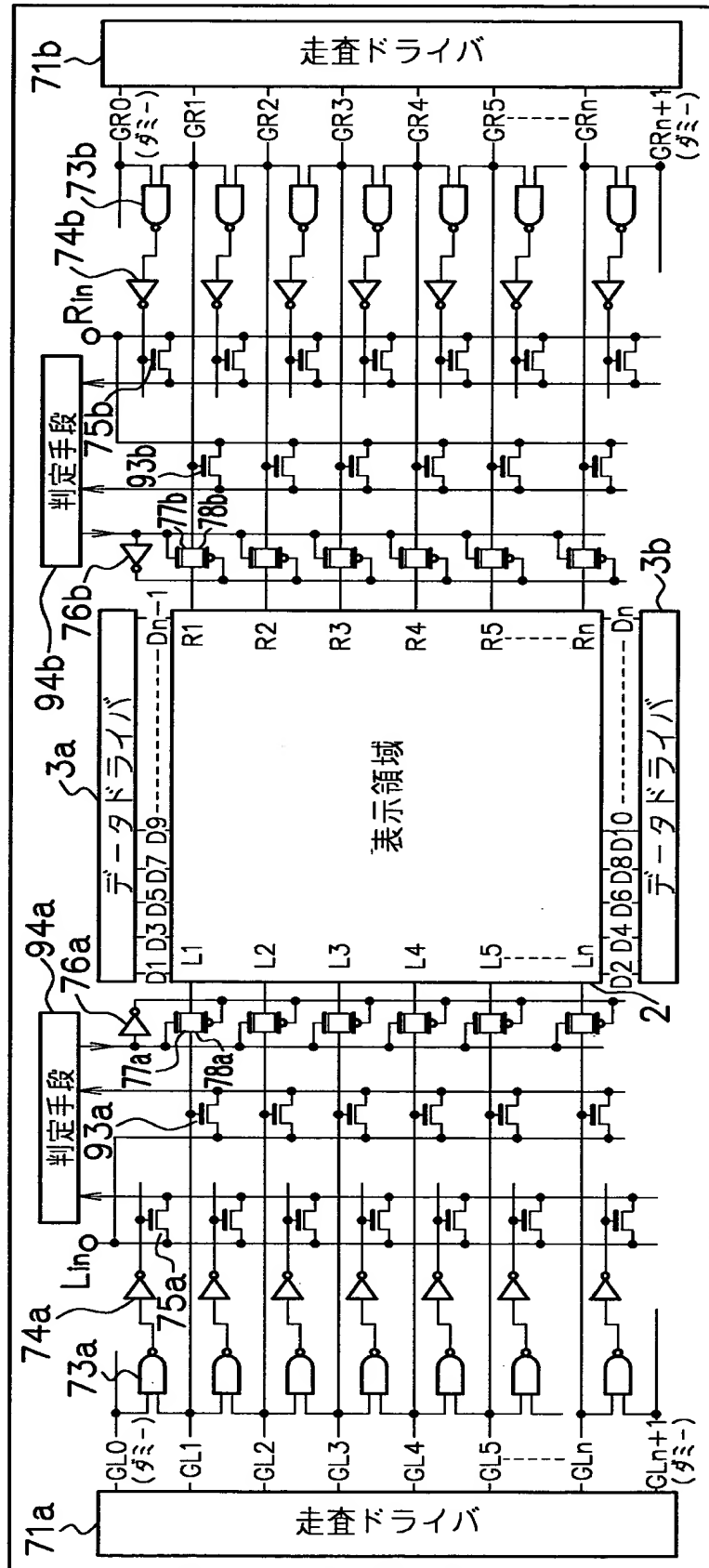
GL 2 及び GL 3 が H 固定の場合のタイミングチャート





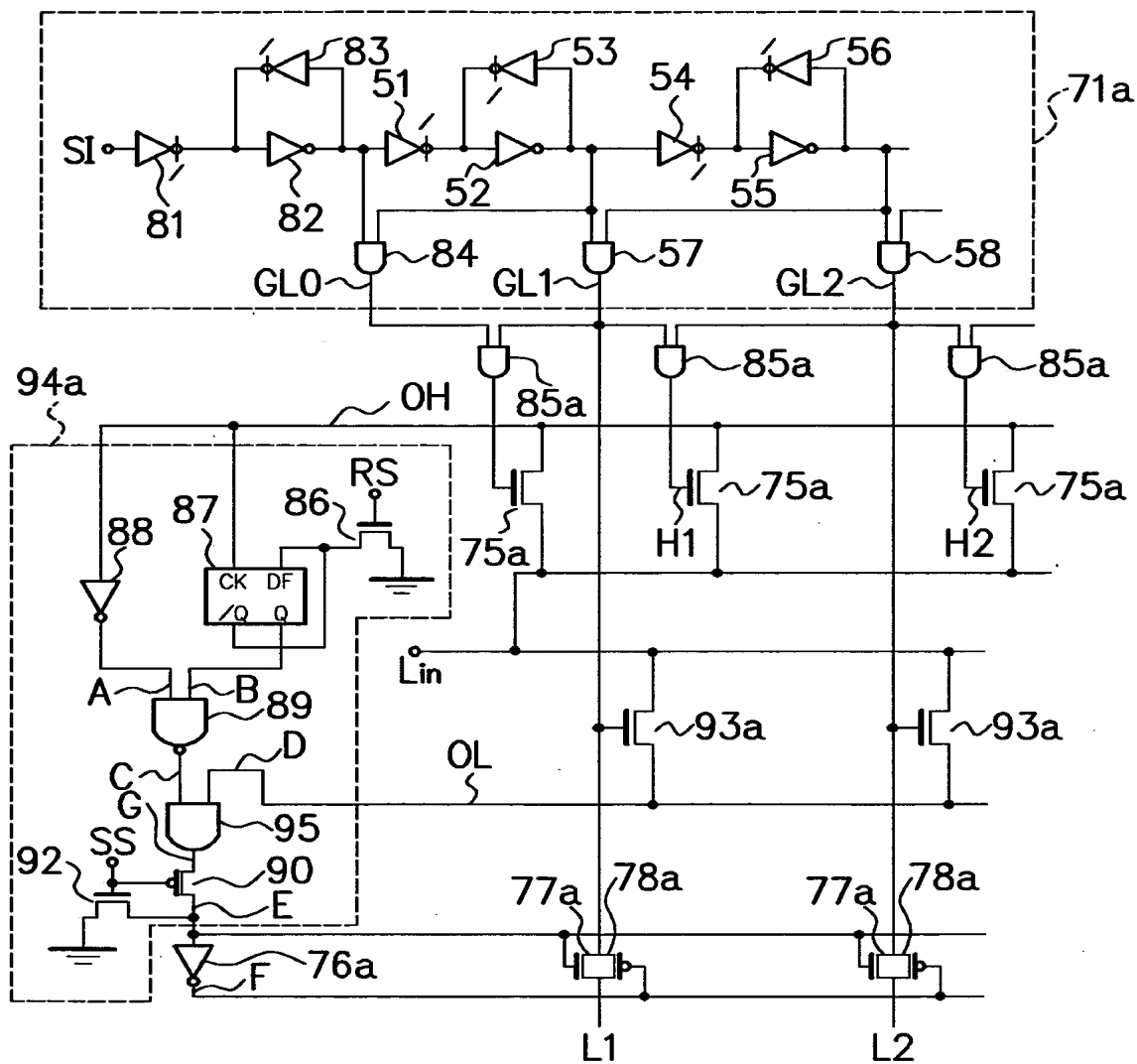
【図 17】

第5の実施形態による液晶表示装置



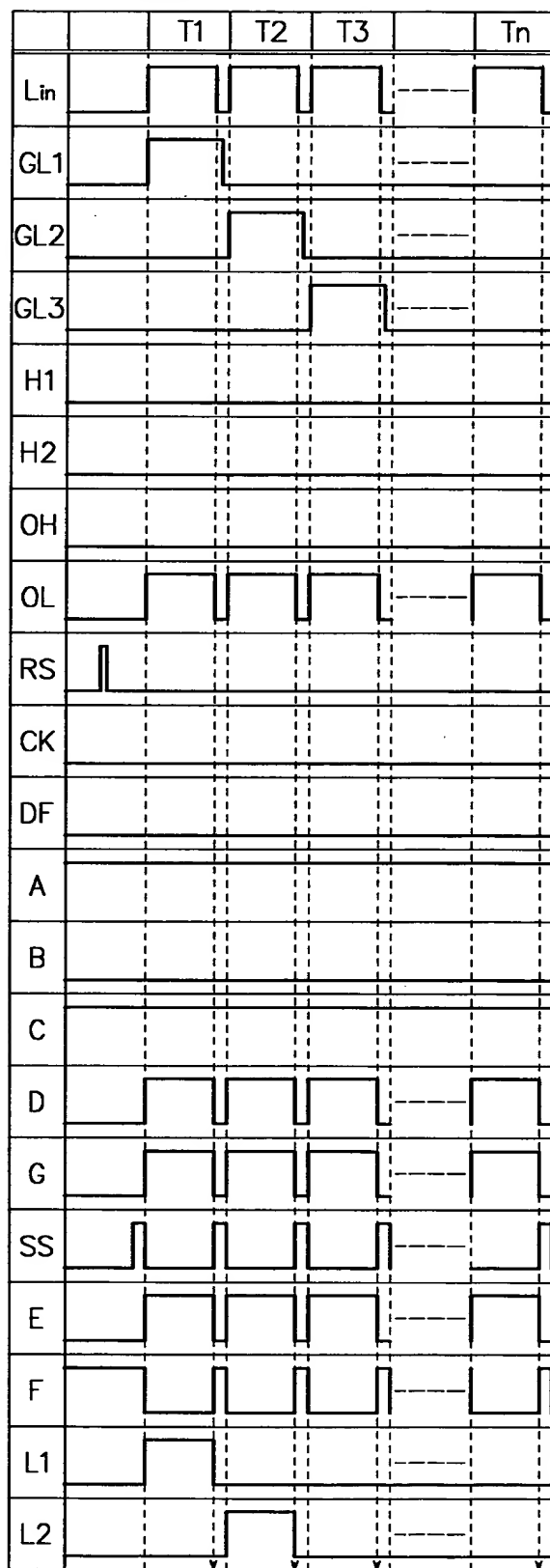
【图 18】

### 判定手段及びその周辺部分の回路図



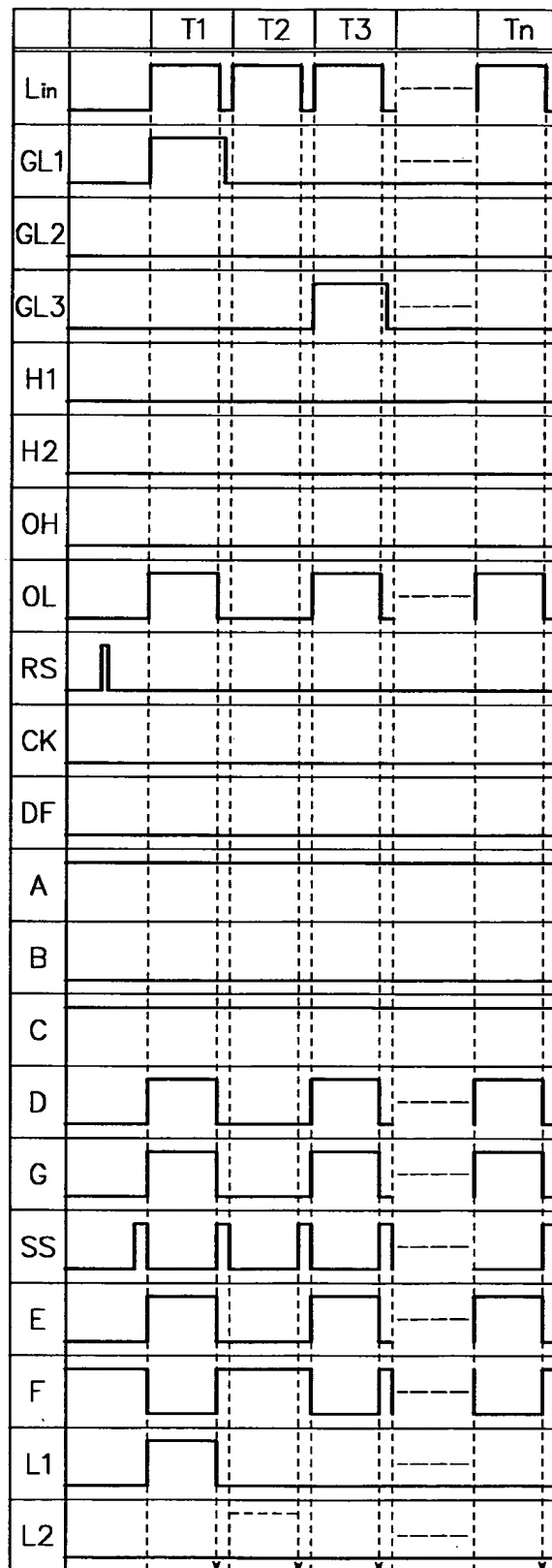
【図 1 9】

正常な場合のタイミングチャート



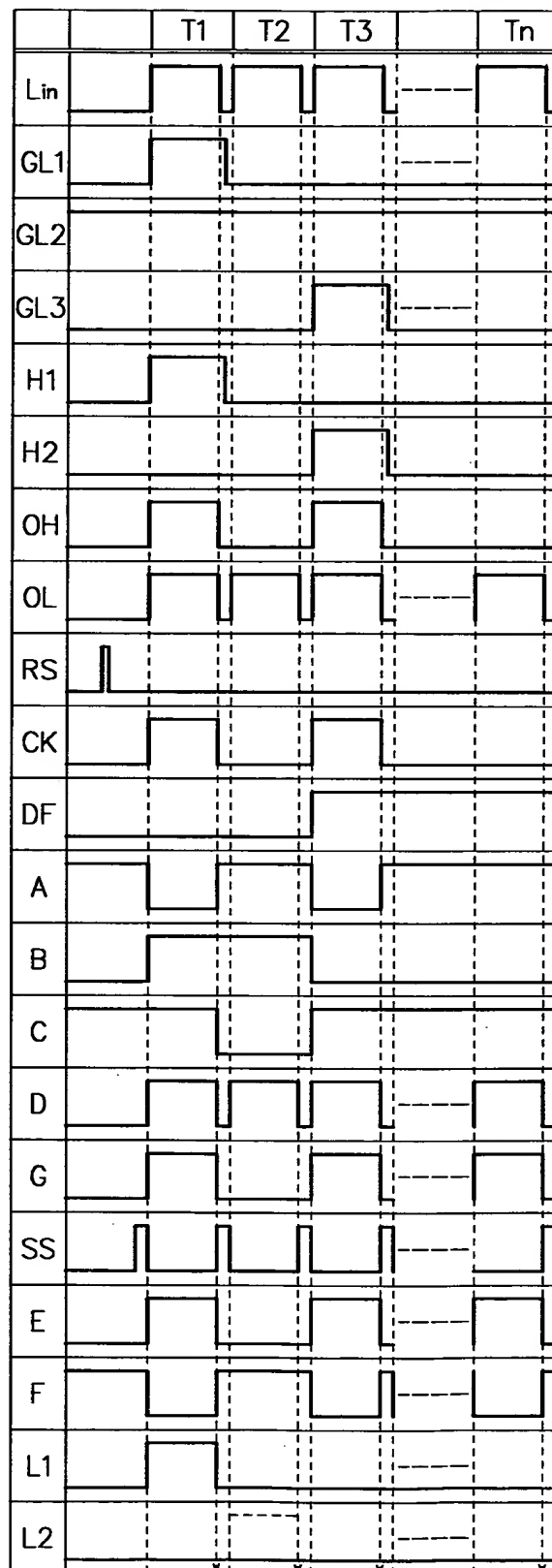
【図 2 0】

GL2がL固定の場合のタイミングチャート

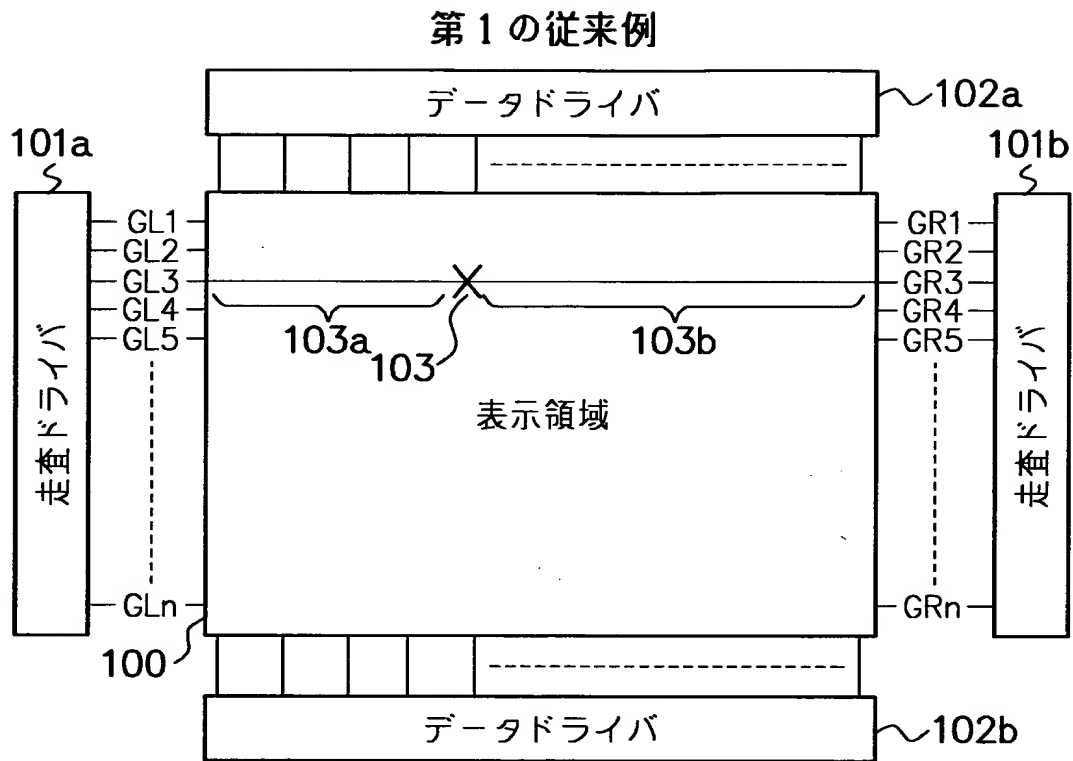


【図 2 1】

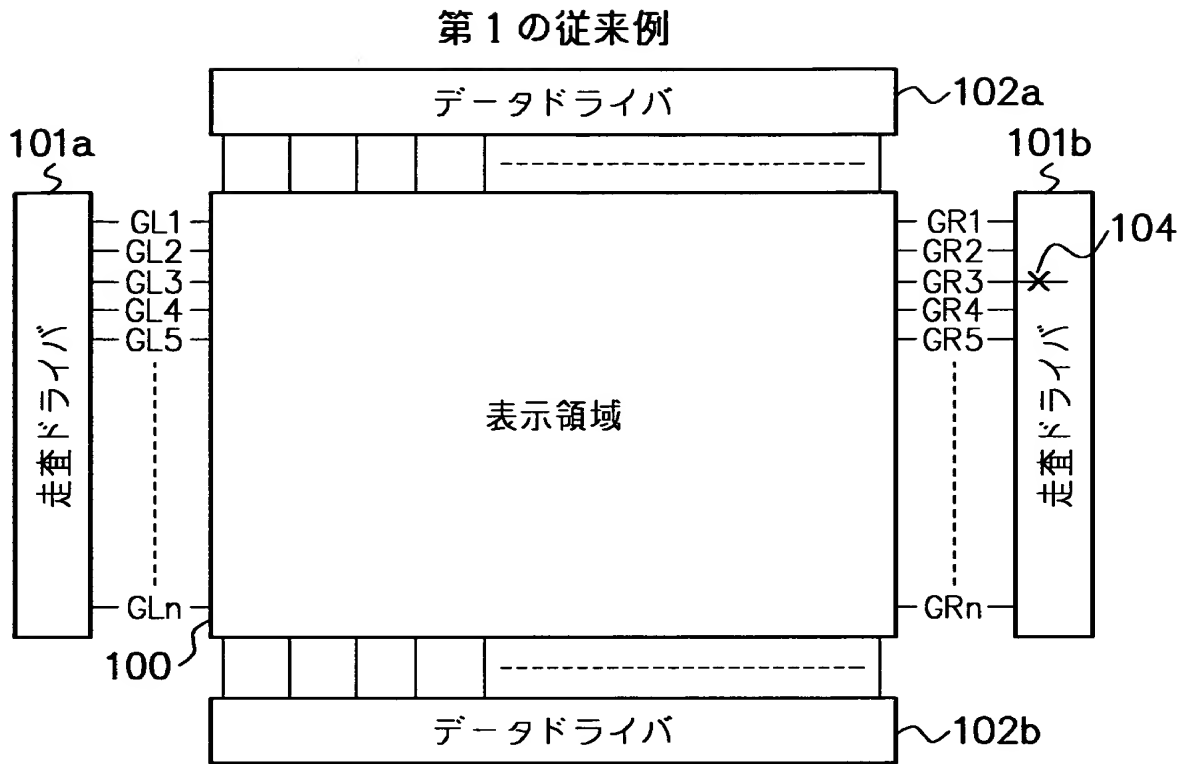
GL2がH固定の場合のタイミングチャート



【図 2 2】

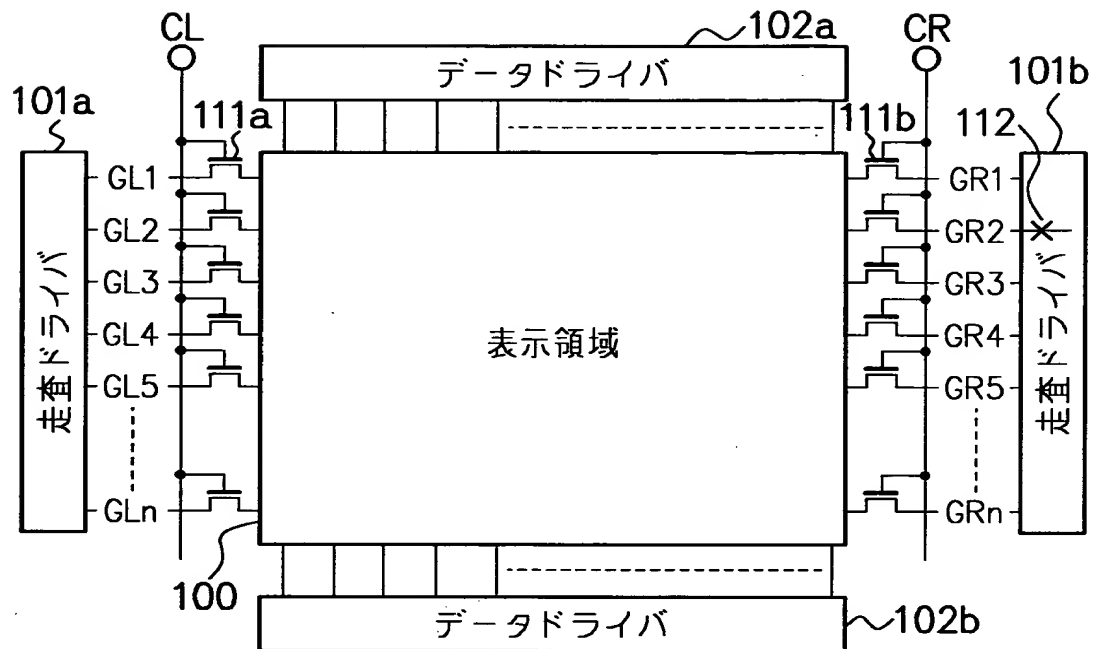


【図 2 3】



【図 2 4】

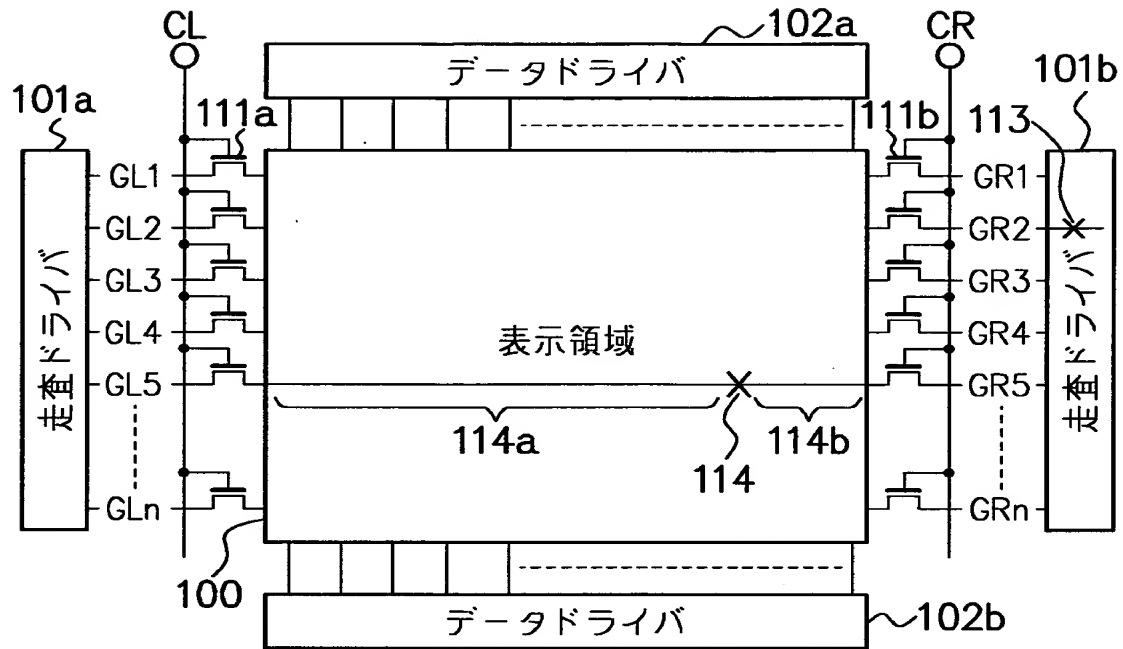
第 2 の従来例





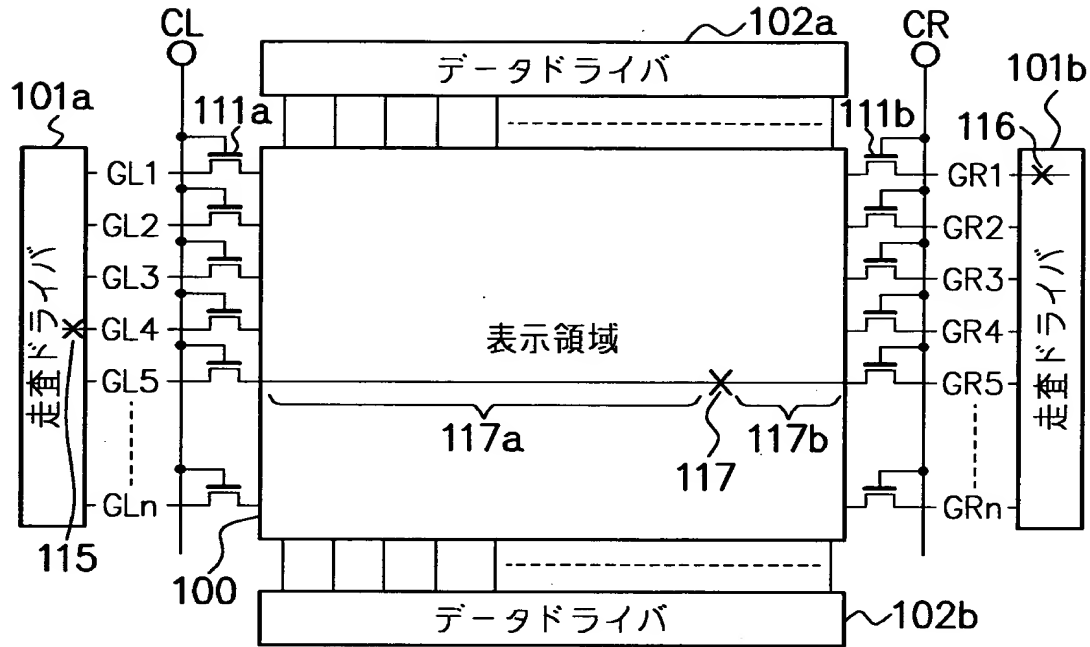
【図 2 5】

第 2 の従来例



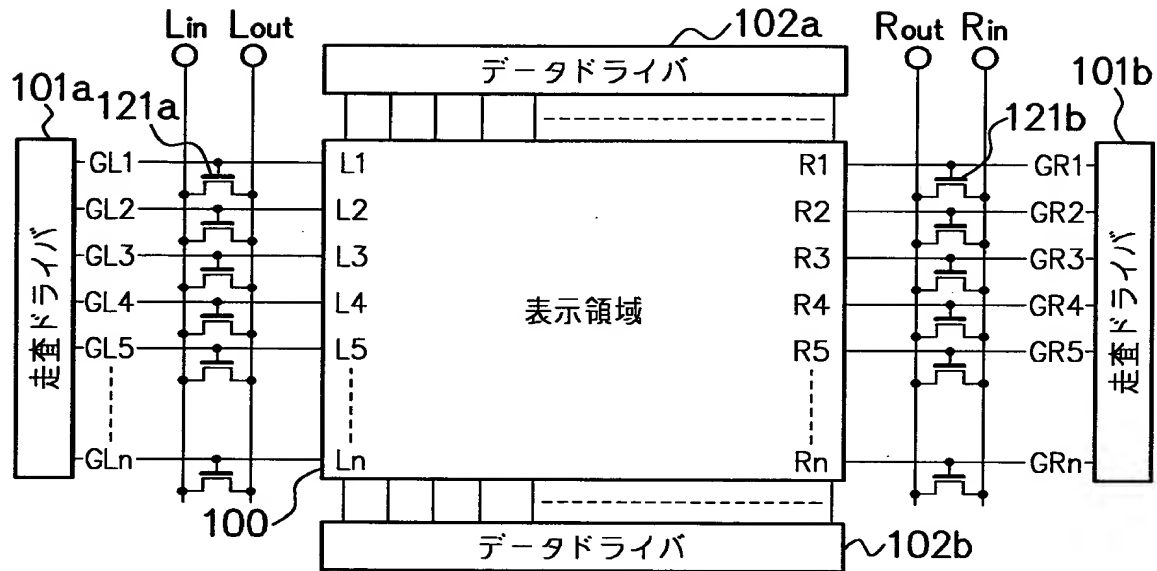
【図 2 6】

第 2 の従来例



【図 2 7】

第 3 の従来例



【書類名】 要約書

【要約】

【課題】 第 1 又は第 2 の走査ドライバの出力線の電位が固定される欠陥を検出し、その欠陥を修復することができる表示装置を提供することを課題とする。

【解決手段】 本発明の表示装置は、複数の走査線を有する表示部（2）と、表示部の走査線の両端に走査信号を供給するための出力線を有する第 1 及び第 2 の走査ドライバ（4 a，4 b）とを有する。第 1 又は第 2 の走査ドライバ等の異常により、第 1 又は第 2 の走査ドライバの出力線のうちの一又は複数の出力線の電位が固定又は開放されているときには、該固定又は開放されている電位の出力線と表示部の走査線との間の接続を切断する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社